

## Sommaire

- Les enjeux du calcul parallèle
- Compte rendu du quatrième Forum ORAP
- ESPRIT : appel à propositions n° 7
- ASCI phase 2
- Actualités BI-ORAP
- Formations, agenda

---

## Les enjeux du calcul parallèle

*Cet article a été rédigé par Victor Alessandrini, Directeur de l'IDRIS (Institut du Développement et des Ressources en Informatique Scientifique). Nous le remercions pour cette contribution.*

Cet article a pour objet de faire un point rapide de l'impact du calcul parallèle sur le calcul intensif de haute performance. Curieusement, cette question ne semble pas être encore très clairement perçue par certains utilisateurs potentiels. Notre vision plutôt optimiste découle naturellement de notre expérience à l'IDRIS.

La perception de cette technologie a beaucoup évolué. Au début de la décennie, le parallélisme était considéré comme une révolution technologique qui fournirait à moindre frais les puissances de calcul extrêmes pour aborder les "grands défis" scientifiques. Ceux-ci devaient modifier notre compréhension approfondie du monde physique (turbulence, chromodynamique quantique) ou notre vie quotidienne (climat, molécules biologiques). Les calculs auraient été possibles grâce à l'action concertée de quelques dizaines de milliers de processeurs simples et peu performants qui exécuteraient de manière synchrone la même instruction avec des données différentes, dans

le contexte d'un modèle de programmation dit "à parallélisme des données". La nature révolutionnaire de cette technologie aurait permis de contourner les règles du jeu traditionnelles, en encourageant de nouveaux acteurs à tenter leur chance.

Quelques années plus tard, bien des choses ont changé. L'évolution spectaculaire de la puissance des microprocesseurs a anéanti la notion de parallélisme "massif". La course aux téraflops ne commande plus l'évolution de l'industrie des supercalculateurs : il faut aujourd'hui progresser en technologie CMOS tout en réduisant le coût des machines, de la maintenance et de la consommation électrique. Beaucoup de nouveaux - et d'anciens - acteurs n'ont pu résister à une sélection naturelle implacable due au rétrécissement des marchés. Le parallélisme est au mieux une évolution mais certainement pas une révolution. Certes, les "grands défis" demeurent d'une très grande actualité pour nous autres scientifiques, mais ils seront abordés plus lentement, en utilisant des technologies de masse. Certains parleraient d'échec, je choisirai le terme de "maturité".

Nous avons longtemps vécu avec des systèmes multiprocesseurs à mémoire partagée, comme les machines vectorielles traditionnelles ou les nouveaux serveurs reposant sur des processeurs RISC. Il semblerait naturel de "paralléliser" des applications en engageant tous les processeurs sur le même problème. Malheureusement, ce type de parallélisme à mémoire partagée perd de son efficacité au-delà de quelques dizaines de processeurs : il est impossible d'aller efficacement plus loin en conservant un accès uniforme de tous les processeurs vers toute la mémoire. Dans le jargon des initiés, nous dirions que de tels systèmes ne sont pas extensibles au-delà de cette limite (ici, "extensible" traduit le terme anglais "scalable"). Les machines parallèles de haut de gamme ont aujourd'hui des architectures à mémoire distribuée : chaque processeur accède directement à sa mémoire locale et communique avec les autres à travers un réseau performant. L'accès à l'ensemble de la mémoire

n'est pas uniforme. L'accès aux données distantes nécessite plus de temps que l'accès aux données locales.

La compétitivité et la capacité d'innovation dans la recherche sont les motivations essentielles d'un scientifique, et les architectures à mémoire distribuée lui donnent accès à des problèmes de complexité accrue. Ces systèmes sont extensibles à des centaines, voire des milliers, de processeurs et ils deviennent l'unique voie possible lorsqu'une grande mémoire physique et une puissance de calcul conséquente sont nécessaires. La prochaine arrivée du CRAY T3E (256 processeurs, 32 Go de mémoire) sur le site de l'IDRIS répond à cette nécessité d'améliorer d'un facteur 10 la performance de notre environnement (tant pour ce qui est de la taille mémoire que pour la puissance de calcul effective) par rapport à celle des plate-formes vectorielles traditionnelles.

L'écriture des codes parallèles se fait en langage standard (Fortran ou C) mais elle demande au programmeur des aptitudes nouvelles : celle de créer et celle de coordonner une multiplicité de processus en général (un par processeur). Les processus ne sont pas tous indépendants : l'un peut développer le résultat demandé par un autre, un algorithme itératif peut nécessiter que tous les processus complètent une partie du traitement avant d'entamer la suite. Communication et synchronisation entre les processus sont donc indispensables. Cette gestion explicite de la coordination des processus et des échanges de données par le programmeur est un modèle de programmation appelé "envoi de messages". La parution de standards de programmation par envoi de messages tels que PVM (standard de facto) ou MPI (standard agréé) a largement contribué à la diffusion du parallélisme au sein de la communauté scientifique. Il permet de rentabiliser l'effort humain grâce à la portabilité des codes et de bénéficier d'un niveau de performance très acceptable. Simuler une machine parallèle sur une simple station de travail et y développer un code parallèle portable est certainement à l'origine du succès de PVM et MPI.

Cette popularité semble bien réelle au sein de notre communauté scientifique. L'IDRIS, soucieux au départ de la consolidation du calcul vectoriel traditionnel et de la mise en place d'un serveur de fichiers performant, s'est investi un peu tardivement dans le secteur du parallélisme. Une machine CRAY T3D de taille intermédiaire (128 processeurs, 8 Go de mémoire) a été installée en août 1995 pour préparer l'arrivée du T3E cité précédemment. Cette machine a rapidement rencontré l'adhésion de nos utilisateurs : 120 projets scientifiques enregistrés dont 35 aujourd'hui

en pleine production et très actifs. Après 6 mois d'exploitation, le T3D était quasiment saturé. A notre plus grande surprise, 70 % des codes existaient déjà en version PVM. Les équipes de support aux utilisateurs de l'IDRIS se préparaient à faire essentiellement de la migration de codes ; elles en ont certes fait, mais elles ont aussi beaucoup fait d'optimisation de codes préexistants. La programmation par envoi de messages est reconnue par une part de la communauté scientifique comme le garant du maintien de leur compétitivité. Cet état de fait a été constaté dans l'ensemble des Centres Nationaux du ministère chargé de la recherche.

Qu'en est-il de la parallélisation automatique, vieux rêve où le compilateur (grâce à certaines directives) gèrerait les interactions entre processus à la place du programmeur ? Beaucoup de chercheurs s'acharnent dans cette direction et méritent certainement notre entière reconnaissance. Le paradigme actuellement disponible est HPF (High Performance Fortran). Toutefois, HPF n'est pas encore performant et n'est pas universel. Ce modèle de programmation ne gère pas encore les problèmes irréguliers qui constituent plus de 50 % des codes scientifiques. Aujourd'hui, HPF n'est pas (sauf exception ponctuelle) un choix judicieux pour le développement des codes de production. Il tardera à rejoindre les performances de l'envoi explicite de messages et surtout à devenir universel. Les grands codes scientifiques qui atteindront le téraflops vers la fin du siècle sont en période de gestation aujourd'hui et adoptent la programmation par envoi de messages. Celle-ci jouera certainement dans l'histoire de l'informatique le même rôle que l'ancien jeu d'instructions 80x86 : il n'était pas idéal mais il a eu le mérite d'exister au bon moment.

On pourra toutefois constater que nous avons sciemment évité de mettre en opposition "calcul vectoriel" et "calcul parallèle" car elle n'existe pas. Les architectures parallèles traditionnelles en technologie ECL (dédiée et onéreuse) disparaîtront certainement à la fin du siècle (leur mort est officiellement annoncée) mais le calcul vectoriel en technologie CMOS - admirablement maîtrisée aujourd'hui par les constructeurs japonais - ne s'effacera pas pour autant. Des machines parallèles à mémoire distribuée avec des processeurs qui contiennent des registres et des unités fonctionnelles vectorielles sont déjà sur le marché. Le développement de ces machines risque d'aller croissant à l'aube du 21ème siècle.

La maîtrise de la programmation par envoi de messages est donc le véritable enjeu des années à ve-

nir. Certaines disciplines scientifiques ne pourront plus y échapper. Jusqu'à ce jour, nous nous sommes essentiellement consacrés à valider des codes en effectuant sur les machines parallèles la même physique que sur les machines vectorielles traditionnelles. Cependant, les machines qui émergent aujourd'hui sont destinées à faire une autre physique. Dès qu'elles entreront en production intense, certaines frontières de la science seront déplacées, et la maîtrise de la programmation par envoi de messages deviendra incontournable.

Pour faciliter cette évolution, nous devons pour ainsi dire l'anticiper. Dans le cadre d'une technologie mature comme le calcul vectoriel traditionnel, il est assez aisé d'estimer les ressources matérielles nécessaires pour satisfaire les besoins des utilisateurs. Cette prévision est plus délicate dans le cas d'une technologie en émergence car elle implique une politique incitative à l'égard des scientifiques pour rassurer quant à la pérennité des efforts humains tout en réduisant les temps d'apprentissage et la probabilité d'échec. Ainsi, pour consolider l'impact du calcul parallèle, des ressources matérielles et humaines conséquentes deviennent indispensables. C'est ce que le CNRS a entrepris à l'IDRIS. La communauté scientifique française a incontestablement aujourd'hui les ressources parallèles suffisantes, mais le resteront-elles ? L'année 1997 nous permettra de mieux cerner cette question grâce à la consolidation de l'exploitation du SP2 du CNUSC et des T3E du CEA/Grenoble et du CNRS/IDRIS.

Victor Alessandrini

---

## Compte-rendu du 4ème Forum ORAP

Le quatrième Forum ORAP s'est tenu le 23 septembre 1996 dans l'amphithéâtre Henri Poincaré du Carré des Sciences du Ministère de l'Education Nationale, de l'Enseignement Supérieur et de la Recherche à Paris. Il a rassemblé plus de 150 personnes, confirmant ainsi le succès de ces manifestations.

Le quatrième Forum se proposait d'explorer d'autres aspects du parallélisme que ceux abordés dans les journées précédentes. Deux thèmes avaient été retenus. Le premier était consacré aux systèmes enfouis (ou "embarqués") : on trouve maintenant des calculateurs parallèles au sein des systèmes de traitement d'images ou de traitement du signal, il est donc intéressant de voir quelles sont les stratégies retenues par les grands groupes industriels qui produisent ces systèmes. Le second thème était centré sur les systè-

mes d'exploitation pour calculateurs parallèles. On se propose, ci-dessous, de résumer les interventions des différents orateurs.

### Philippe Isambert, Matra Cap

Les activités de Matra Cap couvrent trois grands domaines : le traitement d'images satellites, les systèmes d'informations et le temps-réel. Pour ce dernier domaine, qui demande des puissances de calcul importantes mais aussi des débits élevés, Matra Cap utilise des machines de type MPP pour des applications variées : détection sous-marine, lecture automatique d'écriture manuscrite, contrôles et mesures industriels, traitement numérique d'images vidéo.

M. Isambert a présenté cette dernière application dont l'objectif principal est, en temps réel, de transformer ou d'insérer des panneaux publicitaires dans des retransmissions d'événements sportifs. Les principales difficultés de cette application sont la détection des zones sur lesquelles doivent être plaqués les panneaux publicitaires virtuels et la nécessité de plaquer ces panneaux dès l'entrée dans le champ de la caméra de la zone concernée. Une machine CAPITAN avec trois types différents de processeurs (processeurs SIMD pour le bas niveau, des DSP pour le niveau moyen et des processeurs RISC Power-PC pour le niveau haut) est utilisée pour cette application.

Après avoir présenté deux autres applications (reconnaissance du code postal sur les enveloppes, contrôle de qualité des tôles), M. Isambert a conclu en notant que, s'il existe aujourd'hui de bons algorithmes, de bons processeurs et de bons bus de communications, le problème principal reste l'intégration de tous ces éléments. Ceci a conduit Matra Cap à développer un atelier logiciel CAPCASE qui apparaît dans l'accord signé récemment entre Matra Cap et Mercury. Enfin, Matra Cap s'intéresse au calcul intensif et a installé au LHPC (situé à l'ENS Lyon) une plate-forme CAPITAN destinée à des expérimentations.

### M. Legall, Thomson-CSF

L'orateur de chez Thomson a décrit l'expérience de Thomson-CSF dans le domaine des systèmes de détection radar, sonar, guerre électronique et en a tiré des enseignements.

Les premières machines parallèles modernes développées par Thomson datent des années 80 et étaient d'architecture SIMD. Le passage SIMD/MIMD se produit au début des années 90 avec la machine Mustang qui a été utilisée dans de multiples applications (par exemple, sonars et radars de patrouille maritime). Bien souvent, les différents programmes ont

eu des durées trop importantes par rapport à la vitesse d'évolution générale de l'informatique.

L'orateur s'est situé par rapport au programme américain RASSP (Rapid Prototyping of Application Specific Signal Processor) lancé en 1993. L'objectif de ce programme est d'améliorer le processus selon lequel les équipements enfouis de traitement du signal sont conçus et fabriqués. Il vise à améliorer la qualité mais également à diviser par un facteur 4 la durée depuis la conception jusqu'à la disponibilité opérationnelle. Il comporte trois composantes : la méthodologie de conception, l'architecture des processeurs et l'infrastructure des conceptions.

Thomson insiste sur la nécessité de mettre en place une action de ce type en Europe. Thomson a placé sa propre stratégie dans le droit fil de RASSP en factorisant ses actions. Côté matériel, Thomson a choisi de développer une architecture d'accueil permettant de fédérer plusieurs types d'architectures parallèles (SIMD, MIMD, etc) et d'utiliser suivant les applications des ASIC SIMD, des clusters de DSP, des processeurs RISC du commerce. Un atelier logiciel a été bâti capable d'intégrer différents simulateurs d'architecture, différents types de générateurs automatiques de code, etc, les objectifs principaux étant d'augmenter la productivité logicielle et donc de réduire les délais et de maîtriser les coûts, nécessité absolue dans le contexte de concurrence actuel.

#### **Michel Gien, Chorus (mg@chorus.fr)**

M. Gien a commencé par rappeler qu'un système d'exploitation à micro-noyau se compose, d'une part d'un micro-noyau chargé des services de base d'exécution sur un noeud (gestion mémoire et contrôle des tâches) et de communications, et d'autre part de serveurs spécialisés dans l'exécution des différentes fonctions d'un système d'exploitation (gestion de fichiers, ...). Une des particularités de Chorus est d'utiliser deux protocoles de communications différents : un protocole entre serveur et clients et un protocole entre serveurs. Ceci permet d'avoir des communications rapides entre serveurs, ce qui améliore sensiblement les performances globales du système.

M. Gien a ensuite décrit la dernière version de Chorus (V3R6) qui offre la possibilité de construire un micro-noyau à la demande (de 10 Ko à 300 Ko) en fonction des besoins. Ceci permet d'utiliser Chorus dans des systèmes temps-réel très réduits.

L'utilisation de Chorus dans les machines parallèles a été ensuite évoquée. Il y a deux grandes classes d'implémentations : les implémentations avec ou sans image système unique (SSI : Single System

Image). Dans la seconde catégorie, il y a un système complet par noeud et on cherche la tolérance aux pannes (ex.: ICL Goldrush pour les bases de données parallèles). Dans la première catégorie, on cherche à faciliter l'utilisation et l'administration de la machine en offrant un espace de nommage unique pour les noms de fichiers, les process, ... (ex.: UNICOS/MK sur Cray T3E).

M. Gien a conclu que le marché des machines parallèles est limité et que Chorus se tourne vers des marchés plus porteurs comme les systèmes enfouis (télécommunications) et les technologies objets.

#### **Michel Banâtre, INRIA/IRISA (michel.banatre@irisa.fr)**

Les réseaux de stations de travail (ou NOW, Network Of Workstations) prennent de plus en plus d'importance aussi bien pour des applications distribuées du type "client-serveur" que pour le traitement d'applications parallèles. Le travail présenté a trait à la construction d'un NOW hétérogène et disponible, le modèle de communication retenu étant la mémoire partagée (virtuellement). On veut concilier la transparence pour l'utilisateur au travers de la mémoire virtuellement partagée et la tolérance aux pannes. Pour cela, les données des différentes machines sont répliquées. Des stratégies peuvent être déterminées pour que non seulement ces redondances permettent la tolérance aux pannes mais aussi améliorent les performances en plaçant astucieusement les copies.

Des résultats d'expériences ont été montrés utilisant un réseau de 4 PC à base de processeurs Intel Pentium reliés par un réseau ATM. M. Banâtre veut maintenant poursuivre ces expériences avec des réseaux hétérogènes, ce qui pose des problèmes de représentation des données. Les problèmes de répartition de charge seront également considérés.

#### **Guy Chesnot, SGI/CRAY (chesnot@cray.com)**

M. Chesnot a commencé par montrer les tendances dans le domaine des systèmes d'exploitation depuis vingt ans, tant chez Cray que dans l'industrie informatique en général. Ces tendances ont conduit à évoluer de systèmes monolithiques propriétaires (années 75-85) vers des systèmes distribués à micro-noyaux (95 et au delà) en passant par des systèmes ouverts multiplexés (85-95). Ceci s'est traduit, chez CRAY, par le passage de COS à UNICOS/MK en passant par UNICOS.

Il a ensuite expliqué les raisons de ces deux évolutions majeures. La première est principalement due à l'arrivée des multiprocesseurs à mémoire parta-

gée mais aussi à la nécessité d'une remise à plat d'un système simple au début et qui avait grossi de façon désordonnée. La seconde s'explique par l'arrivée des MPP. En effet, sur de telles machines, les deux premières approches qui ont été utilisées (système dupliqué sur les différents noeuds et système sur un frontal) présentent des inconvénients importants. Dans le premier cas, il est difficile d'avoir une image système unique, dans le second cas l'évolutivité est limitée (le frontal est un goulot d'étranglement).

L'approche système distribué à micro-noyau, même si elle présente quelques désavantages, comme la nécessité de disposer de communications rapides entre PE (ce qui n'est pas un problème sur des machines comme le T3E), permet de résoudre ces inconvénients. M. Chesnot a présenté un système de ce type : UNICOS/MK, le système d'exploitation basé sur Chorus utilisé sur le T3E. Ce système, qui offre des interfaces utilisateur et applicatif identiques à celles d'UNICOS, permet d'avoir une image système unique tout en disposant d'entrées-sorties performantes.

#### **Roch Bourbonnais, TMC (roch@think.com)**

M. Bourbonnais a présenté le nouveau produit TMC : GlobalWorks. Celui-ci se compose de deux facettes : un ensemble de logiciels basés sur un Unix standard d'une part, un serveur GlobalWorks (machine à mémoire distribuée) d'autre part.

En ce qui concerne les logiciels, l'objectif de TMC est de fournir un environnement de programmation et d'utilisation de machines parallèles à mémoire distribuée (intégrée ou cluster) dans la continuité de ce qui existait sur la CM-5. On trouve ainsi : HPF et C\* pour les langages de programmation de type mémoire partagée, l'environnement de mise au point PRISM, une bibliothèque scientifique (TMSSL) et des entrées-sorties parallèles proches de celles qui existent sur la CM-5 avec CMF. GlobalWorks contient également des versions optimisées de MPI (avec MPI/IO) et de PVM ainsi que des outils d'exploitation (équilibre de charge, partitionnement).

L'objectif de TMC est de fournir le logiciel GlobalWorks sur différentes plate-formes mais, pour l'instant, il ne fonctionne que sur des SUN UltraSparc interconnectés par Fiber Channel ou ATM. Le serveur GlobalWorks intègre, dans des armoires, des cartes SUN UltraSparc (8 par armoire) et des commutateurs FC (Ancor) ou ATM (Fore). On peut connecter jusqu'à 4 armoires (la limite étant fixée par la capacité des commutateurs). Il est également possible d'utiliser le logiciel GlobalWorks avec des machines SUN standard (32 au maximum) interconnectées par des commutateurs FC ou ATM. On peut alors atteindre un

nombre plus élevé de processeurs puisque les machines SUN peuvent être dans ce cas des SMP.

G. Meurant et F. Robin (CEA)

---

## **Esprit : appel à proposition n°7**

Voici le texte définitif du "Call 7" dont les dates de clôture sont :

- 15 octobre 1996 pour les domaines avec évaluation en deux étapes : systèmes multimédia, recherche à long terme (thème 2), HPCN
- 18 décembre 1996 pour les domaines avec évaluation en une seule étape.

0. Activités applicables à tous les domaines de travail: activités préparatoires, de soutien et de transfert ; soumission continue

### 1. Technologie des logiciels (26 MEcu)

Thèmes de R&D :

- thème 1 : ingénierie des systèmes à forte composante logicielle (toutes tâches)
- thème 2 : technologies logicielles émergentes (toutes tâches sauf 1.11 et 1.12)
- thème 3 : systèmes distribués et technologie des bases de données (toutes tâches)
- thème 4 : confort et sécurité de l'utilisateur (toutes tâches)

Activités préparatoires, de soutien et de transfert : soumission continue

- activité 2 : transfert de technologie (1.33)

### 2. Technologies des composants et sous-systèmes (70 MEcu)

Thèmes de R&D :

- thème 1 : composants et sous-systèmes semi-conducteurs (tâches 2.12 et 2.13)
- thème 2 : microsystèmes (toutes tâches)
- thème 3 : périphériques (toutes tâches)

Activités préparatoires, de soutien et de transfert :

- activité 1 : meilleure pratique, R&D en coopération et évaluation technologique (tâches 2.7, 2.27)
- activité 2 : services de base, Europractice (tâche 2.25)

Soumission continue :

- activité 1 : meilleures pratiques, R&D en coopération et évaluation technologique (tâche 2.9)
- activité 2 : action en faveur des nouveaux utilisateurs (tâche 2.26)

### 3. Systèmes multimédia (20 MEcu)

Thèmes de R&D :

- thème 1 : technologie multimédia (toutes tâches)
- thème 2 : commerce d'objets multimédias et gestion des droits de propriété intellectuelle (toutes tâches)

Activités préparatoires, de soutien et de transfert :

- activité 1 : implémentations pilotes dans le domaine des systèmes multimédias (toutes tâches)

#### 4. Recherche à long terme (25 MEcu)

Thèmes de R&D :

- thème 2 : réactivité aux besoins industriels (tâche 4.2)
- thème 3 : initiative des interface d'information intelligente (tâche 4.4)
- Soumission continue : thème 1 : ouverture aux nouvelles idées (tâche 4.1)

#### 5. Initiative des systèmes microprocesseurs ouverts (25 MEcu)

Thèmes de R&D :

- thème 1 : technologie des systèmes (toutes tâches)
- thème 2 : intégration de systèmes et applications (tâche 5.9)

Activités préparatoires, de soutien et de transfert :

- réseau de soutien des utilisateurs (tâche 5.12)
- petits projets applicatifs pour PME (tâche 5.16)

#### 6. Informatique distribuée à haute performance (35 MEcu)

Thèmes de R&D :

- thème 1 : simulation (toutes tâches)
- thème 3 : gestion de l'information et aide à la décision (toutes tâches)
- thème 4 : applications multisites interconnectées (tâche 6.20)

Activités préparatoires, de soutien et de transfert: soumission continue :

- activité 1 : actions préparatoires et en faveur des nouveaux utilisateurs (toutes tâches)
- activité 2 : actions de démonstration et de meilleures pratiques (toutes tâches)

#### 7. Technologies destinées aux processus d'entreprise (25 MEcu)

Thèmes de R&D :

- thème 1 : actions pilotes en matière de meilleures pratiques des entreprises (7.10)
- thème 2 : intégration des systèmes d'entreprise (toutes tâches)

#### 8. Intégration dans la fabrication (28 MEcu) (faisceau d'activités ciblées)

Thèmes de R&D :

- thème 1 : technologies de l'information pour la modélisation des données relatives aux produits et aux processus (tâches 8.1 à 8.3)
- thème 2 : logistique dans l'entreprise virtuelle (tâches 8.5, 8.7 et 8.9)
- thème 3 : systèmes et équipements de production intelligents (tâche 8.12)

Activités préparatoires, de soutien et de transfert :

- activité 1 : meilleures pratiques des entreprises dans l'ingénierie et la fabrication basées sur les technologies de l'information (tâche 8.20)

Rappelons que ces thèmes et tâches se réfèrent au **dossier d'information 1996**, le dossier de décembre 1994 étant caduc depuis l'appel à propositions n°6.

L'appel à propositions n°8 sera, en principe, publié le 17 mars 1997.

A noter : a Commission européenne a réalisé un document présentant, sous forme de fiches, les projets HPCN acceptés. Ce document (90 pages), daté de juin 1996, est disponible sur le serveur cordis en format WinWord :

<http://www.cordis.lu/esprit/src/projects.htm>

---

### **HOISE-NM et Primeur : ça bouge !**

Le serveur d'informations dédié au calcul de haute performance mis en place dans le cadre du projet HOISE-NM (Esprit - HPCN) s'étoffe et se structure. Il regroupe maintenant :

- des "services" : informations sur "HPCN et la Commission Européenne", calendrier (conférences, etc), références ou pointeurs ;
- le magazine *Primeur* qui a deux types de parutions : parution "standard", mensuelle, numéros spéciaux, *PrimeurLive!*, réalisés à l'occasion de manifestations importantes.

Le magazine *Primeur* se distingue donc maintenant des autres services. Ceux qui n'ont pas accès au Web (<http://www.hoise.com/>) peuvent recevoir ces informations par courrier électronique (en faire la demande à [emmen@genias.nl](mailto:emmen@genias.nl)).

Contact pour la France : Jean-Loïc Delhaye ([delhaye@irisa.fr](mailto:delhaye@irisa.fr), 02.99.84.75.00)

---

### **ASCI phase 2**

Nous avons présenté le programme ASCI (Accelerated Strategic Computing Initiative) dans le numéro 6 de BI-ORAP. Rappelons que ce programme dure 5 ans, qu'il est piloté par le Département de l'Energie (DoE) des Etats-Unis, qu'il vise à donner les moyens de remplacer les essais nucléaires par la simulation numérique.

Pour les calculateurs parallèles qui sont les instruments de base de ce programme, deux options ("*bleu*" et "*rouge*") ont été définies pour la première phase. L'option rouge concernait un calculateur massivement parallèle : c'est la solution Intel qui s'était

imposée (machine de 9072 processeurs Intel Pentium P6 à 200 Mhz) avec une puissance de crête de 1,8 Tflops.

L'option bleue, concernant la seconde machine, était bâtie comme un super-cluster de serveurs eux-mêmes multiprocesseurs à mémoire partagée.

C'est la solution proposée par IBM, pour un coût annoncé de 93 millions de dollars, qui a été retenue en juillet 1996 et qui va équiper le Lawrence Livermore National Laboratory.

La machine proposée par IBM est basée sur des noeuds comprenant 8 processeurs 630 (extension de la gamme PowerPC) partageant une même mémoire (architecture SMP donc). En fait, il s'agirait probablement des nouveaux processeurs P2SC annoncés récemment et dont la puissance crête devrait être de 585 Gflops. En regroupant 512 P2SC (cluster à mémoire distribuée), on obtient une machine qui devrait délivrer une puissance crête de 3 Tflops. La pari est donc de disposer d'un réseau de communication extrêmement performant.

Une première configuration, très limitée, destinée à engager les développements logiciels, a été livrée en septembre 1996. La configuration finale devrait être complètement opérationnelle en été 1998.

La suite ?? Les prévisions sont :

- une troisième machine devrait être choisie en 1997, pour installation avant la fin du siècle ; performance crête minimale : 10 Tflops ;
- une quatrième machine serait mise en service vers l'an 2001 ; sa puissance devrait être de l'ordre de 30 Tflops ;
- enfin (?), une cinquième machine, d'une puissance de 100 Tflops et ayant plus de 30 Toctets de mémoire, serait installée vers l'an 2004.

---

## Actualités BI-ORAP

### ➔ HPCN Europe 1997 : appel à contributions

La conférence HPCN Europe de 1997 aura lieu à Vienne du 28 au 30 avril. Cette importante manifestation est destinée aux industriels, chercheurs et ingénieurs et est consacrée aux nouvelles solutions dans les domaines des serveurs, systèmes de haute performance et réseaux à haut débit.

L'appel à contribution est disponible sur le serveur Web d'ORAP. Les propositions de séminaire (workshop) et de poster doivent être adressées au secrétariat :

Laura Lotty  
Fax: +31 20 5257490  
hpcn97submit@wins.uva.nl

### ➔ IBM France choisi par Thomson-CSF et l'Agence Spatiale Européenne pour ENVISAT 1

Thomson-CSF et l'Agence Spatiale Européenne (ESA) ont retenu l'offre d'IBM France pour la fourniture des systèmes informatiques du segment sol du satellite ENVISAT. Ce satellite, dont le lancement est prévu en 1999, aura pour mission l'observation de la terre et la mesure de l'environnement. Ces données seront transmises aux stations de réception (Kiruna en Suède et Frascati en Italie) ou elles seront traitées avant d'être envoyées aux centers nationaux.

Ce contrat porte sur la fourniture par IBM de stations de travail, de serveurs et de machines parallèles SP à 11 sociétés européennes et 1 société canadienne qui sont chargées de réaliser les différents sous-systèmes. Ces matériels seront, à terme, intégrés dans les sites de réception en Suède et en Italie.

### ➔ Le ZAM (Juelich) renforce ses moyens de calcul

Le ZAM (Institut central pour les mathématiques appliquées, KFA Juelich, Allemagne) met actuellement en place un ensemble de machines représentant, pour le gouvernement fédéral, un investissement de 43 millions de DM. Ce ensemble comprend un Cray 90 (12 processeurs), un Cray T3E (512 processeurs et 64 Go de mémoire) et un Cray J90 (20 processeurs). Ces machines seront interconnectées par un GigaRing avec un débit de 1,6 Go par seconde.

Un quota (15%) de la capacité de ces installations est réservée à des collaborations avec des industriels. Informations :

<http://www.kfa-juelich.de/zam/zam.html>

### ➔ Décès de Seymour Cray

Seymour Cray est décédé le 5 octobre des suites d'un accident de voiture. Ainsi disparaît un personnage de légende, une sorte de génie inventif mais aussi une figure de l'industrie moderne, l'un des fondateurs de Control Data, le "père" des superordinateurs ; il était aussi un homme chaleureux qui a marqué ceux qui l'ont rencontré.

### ➔ Nouvelle machine SGI : Origin2000

Silicon Graphics a annoncé, le 7 octobre, la série Origin2000. Cette série a été présentée en France en octobre. Avec une architecture à mémoire virtuellement partagée (NUMA), elle peut avoir jusqu'à 64 "modules" (soit 128 processeurs R10000) et 256 Go de mémoire (puissance crête de 51 Gflops).

Le NCSA (National Center for Supercomputing Applications, Urbana-Champaign, Ill) a reçu un système Origin2000 comprenant 128 processeurs. Il s'agit de la configuration maximale actuellement et le NCSA s'est en-

gagé à la doubler avant la fin de 1997.

## ➔ Les constructeurs renforcent leurs efforts sur les applications commerciales du parallélisme

Différentes annonces récentes montrent que les fournisseurs (de matériels comme de logiciels) entendent renforcer leurs offres destinées aux applications commerciales, particulièrement l'aide à la décision et la gestion de très grands volumes de données ("*data warehousing*"). Le marché de ce type d'applications serait estimé à 20 milliards de dollars d'ici l'an 2000.

Dans ce domaine, IBM rejoint les constructeurs installés de longue date tels que Sequent, Pyramid, Tandem ou NCR.

**IBM** a lancé le "*Teraplex Complex*", programme dont le coût est estimé à 47 millions de dollars et qui est basé sur 3 centres de démonstration/formation. Ces centres doivent aider les clients à explorer des solutions dans la gestion et l'utilisation (décision, "*data mining*") de très grandes bases de données. Ces centres disposeront d'un matériel très important (une installation SP avec 312 noeuds et 4 To de disques, un centre de type "mainframe" avec des serveurs S/390 et 3To de disques, un centre équipé de machines AS400, le tout étant bien sûr interconnecté) et d'un personnel expérimenté dans ces technologies et applications.

IBM considère que 50% des 1500 systèmes SP vendus à ce jour le sont pour des applications de gestion et que 30% de ces systèmes sont utilisés pour des applications d'aide à la décision et de *data warehousing*.

**Oracle** a mis en place un groupe de constructeurs (*Oracle Terabyte Test-to-Scale*) proposant des systèmes capables de gérer une base de données représentant au moins 1 Teraoctet de données brutes. **Pyramid Technology** (et donc Siemens Nixdorf) est le premier à avoir passé les tests avec succès avec le serveur massivement parallèle RM1000.

**NCR** entend être le "n°1 du *data warehousing*" ([http://www.ncr.com/product/data\\_warehouse/](http://www.ncr.com/product/data_warehouse/)) et a annoncé le portage de son système de gestion de bases de données, Teradata, sur de nouvelles plateformes, y compris sur des systèmes parallèles en architecture SMP ou MPP. Par ailleurs, une option multimédia permettra de gérer des objets complexes (vidéo, image, audio, etc).

---

## Formations

- Formations à PVM/MPI organisées par le CEA : du 16 au 18 octobre à Cadarache, du 23 au 25 octobre à Grenoble, du 29 au 31 octobre à Saclay. Rens.: Jean-Yves Berthou (01 69 08 28 99, [jyb@armoise.saclay.cea.fr](mailto:jyb@armoise.saclay.cea.fr)) ou Laurent Colombet (76 88 50 29, [laurent.colombet@cea.fr](mailto:laurent.colombet@cea.fr))
- Formations "Data Parallel et HPF" organisées par le CEA : 6 et 7 novembre à Cadarache, 13 et 14 novembre à Grenoble, 18 et 19 novembre à Saclay. Rens.: voir ci-dessus.

Informations complémentaires : Web ORAP.

Merci de bien vouloir signaler à Jean-Loïc Delhaye ([delhaye@irisa.fr](mailto:delhaye@irisa.fr)) les formations et manifestations que vous prévoyez d'organiser.

---

## Agenda

- 21-23 octobre : **PACT'96** : International Conference on Parallel Architectures and Compilation Techniques (Boston, MA, USA). Rens.: [pact96@cs.colostate.edu](mailto:pact96@cs.colostate.edu)
- 22-25 octobre : **Parallel Tools Consortium** : First European Meeting (Chatillon, France). Rens.: [ptools-E@onera.fr](mailto:ptools-E@onera.fr)
- 24 octobre : **bilan d'utilisation** des principaux environnements de programmation parallèle dans des applications de calcul scientifique et de simulation (Toulouse). Rens.: Guy Bouyssou (61.33.63.19, [bouyssou@laas.fr](mailto:bouyssou@laas.fr))
- 23-25 octobre : **European Parallel Tools Meeting** (ONERA, Chatillon). Rens.: [eptm@onera.fr](mailto:eptm@onera.fr)
- 27-29 octobre : **MPP01'96** : Third International Conference on Massively Parallel Processing Using Optical Interconnections (MAUI, Hawaii). Rens.: IEEE (202.371.1013)
- 27-31 octobre : **Frontiers'96** : 6th Symposium on the Frontiers of Massively Parallel Computation (Annapolis, Maryland, USA). Rens.: IEEE (202.371.1013)
- 27-31 octobre : **5th International Workshop on Protocols for High Speed Networks** (Sophia-Antipolis). Rens.: [catherine.juncker@inria.fr](mailto:catherine.juncker@inria.fr)
- 17-22 novembre : **Supercomputing'96** (Pittsburgh, PA, USA). Rens.: 412.268.8792, [questions96@mail.supercomp.org](mailto:questions96@mail.supercomp.org)
- 25-27 novembre : **European IT conference & Exhibition** (Bruxelles). Ren : [eitc96@dg3.cec.be](mailto:eitc96@dg3.cec.be)
- 2-3 décembre : **3ème Ateliers d'automne sur les architectures, systèmes et applications parallèles** (Université de Versailles). Rens.: Olivier Temem, [temam@prism.uvsq.fr](mailto:temam@prism.uvsq.fr), 01.39.25.43.41
- 22-24 janvier : **5th Euromicro Workshop on Parallel and Distributed Processing** (Londres). Rens.: Hans Zima, [zima@par.univie.ac.at](mailto:zima@par.univie.ac.at)
- 6-10 mars : **High Performance Computing '97** (Atlanta, GA, USA). Rens.: Adrian Tentner, [tentner@anl.gov](mailto:tentner@anl.gov)

### Organisation Associative du Parallélisme

Collège de France, 3 rue d'Ulm, 75231 Paris cedex 05  
Secrétariat : [patricia.crampette@inria.fr](mailto:patricia.crampette@inria.fr)  
Tél : 1 39 63 55 90, Fax : 1 39 63 58 88  
Serveur WWW <http://www.irisa.fr/orap>