

SOMMAIRE

Editorial
207 TeraFlops au CNRS
ANR : la programmation 2008
Europe : l'Institut européen de technologie
Echos de la conférence SC'07
SC'07 : du côté des constructeurs
Nouveaux systèmes HPC chez nos voisins
Lire, visiter, participer
Nouvelles brèves
Agenda

Editorial

Près de trois ans après la remise du rapport Héon-Satorius, de nombreuses structures alors proposées ont été créées depuis quelques mois. Les organismes fondateurs d'ORAP se retrouvent donc ensemble, avec d'autres, et travaillent à mettre à niveau l'écosystème HPC français à la hauteur des ambitions scientifiques nationales. Quelques machines dépassant les 100 TeraFlops sont, ou doivent être installées d'ici quelques mois en France. L'annonce récente d'une machine au CNRS devant intégrer le Top5 confirme cette tendance. Avec de nombreux partenaires européens, le projet PRACE devrait aussi permettre, à terme, de proposer aux chercheurs européens d'accéder de manière pérenne à des capacités de calcul du TOP10.

Si nous ne pouvons que nous réjouir de ces avancées, correspondant à des souhaits si souvent exprimés par ORAP, nous sommes encore loin d'une situation permettant de faire face sereinement aux défis qui s'annoncent. En particulier, une formation plus complète en calculs répartis et parallèles est indispensable pour préparer les utilisateurs à la programmation des futures machines. La gestion des ressources humaines dans les nouveaux écosystèmes HPC qui se mettent en place sera un élément clef du succès de nombreux projets

scientifiques. Cette importante lacune est bien identifiée depuis longtemps mais très peu d'actions sont menées pour y remédier. En Europe, certains projets commencent déjà à prendre du retard par manque de personnes compétentes dans le domaine et ce phénomène devrait s'accroître.

L'accès à des machines du TOP10 est indispensable pour la recherche scientifique française mais n'est pas suffisant pour préparer les utilisateurs à une programmation efficace des machines annoncées. Celles-ci intégreront bientôt des techniques proches de celles des grilles de calcul avec des processeurs possédant, par ailleurs, des douzaines de cœurs et des accélérateurs hétérogènes. De nombreux spécialistes s'accordent pour penser que ces machines vont nous obliger à repenser une nouvelle fois la programmation de nos applications. Le changement risque d'être aussi profond que celui généré alors par le calcul vectoriel puis le calcul parallèle. Beaucoup pensent aussi que les langages devront évoluer, voire complètement changer. Même si on reparle de plus en plus de parallélisation automatique au niveau des processeurs multi-cœurs, il y aura un effort important à fournir de la part des scientifiques pour obtenir de bonnes efficacités.

Une importante action de formation en calcul réparti et en calcul parallèle des ingénieurs et des chercheurs est indispensable pour nous permettre de réaliser les projets à venir et d'aborder cette nouvelle étape correctement. Cela doit évidemment se conjuguer avec une revitalisation de la recherche de base en programmation répartie et parallèle.

D'autres pays sont bien plus avancés sur cette voie et il convient de ne pas laisser l'écart se creuser. Plusieurs ont compris qu'il était indispensable de réagir pour assurer l'avenir de nombreux de leurs futurs projets et que l'investissement dans la formation en HPC était un atout majeur pour le développement d'un grand nombre de domaines scientifiques.

Cette année, Google et IBM ont lancé une initiative importante dont l'objectif affiché est d'améliorer les connaissances des étudiants en

HPC et de les préparer à la programmation répartie à grande échelle. Pour cela, ils proposent de donner accès à un réseau de plusieurs centaines d'ordinateurs (machines de Google et plusieurs IBM *Blande centers*) devant croître au moins jusqu'à un parc de 1600 processeurs mis à la disposition des étudiants. De nombreux logiciels et services sont aussi proposés aux étudiants dans ce cadre. Plusieurs universités américaines sont associées à cette initiative, comme l'université de Washington, CMU, MIT, Stanford et Berkeley, par exemple. Google et IBM annoncent aussi des financements importants pour accompagner ces actions.

Dans de nombreux autres pays, des initiatives semblables devraient être prochainement lancées. Au Japon, les étudiants de Titech ont déjà tous accès avec leur carte d'étudiant à la grille de calcul de l'université sur laquelle est disponible la machine la plus puissante du Japon. En France, seule quelques rares formations d'école d'ingénieur ou de master proposent des cours en HPC et seul un très petit nombre proposent des travaux pratiques sur machines parallèles ou réparties.

Alors que se mettent en place une structure et des moyens qui devraient permettre d'offrir des possibilités de calcul de haut niveau et pérennes, il est donc du rôle d'ORAP de relancer son action autour de la formation en HPC.

Rappelons qu'une des missions d'ORAP, depuis sa création, est d'encourager l'enseignement de l'algorithmique et de la programmation parallèle, avec des mises en œuvre pratiques. Dans ce cadre, ORAP doit favoriser des actions de formations de haut niveau. Si les deux autres missions d'ORAP, qui sont d'animer scientifiquement la communauté et d'essayer de renforcer la présence française au niveau européen, ont donné lieu à plusieurs actions ces dernières années, nous avons délaissé la formation face aux enjeux jugés prioritaires du moment. Il est désormais urgent de faire un effort important pour encourager et aider les efforts de formations en HPC, tout en continuant de front les autres actions.

Pour cela, nous allons engager diverses actions dans les mois à venir. Nous envisageons de proposer les bases d'un « socle commun » de formation HPC que tout chercheur et ingénieur scientifique devrait avoir. Ce travail permettra ensuite à diverses formations (licence, master, école, ...) d'argumenter auprès de leurs tutelles pour des créations de nouvelles formations. Il ne s'agit là que d'une des nombreuses pistes à explorer et nous solliciterons votre contribution pour nous aider dans cette tâche.

Serge G. Petiton

207 TeraFlops au CNRS

Le CNRS a annoncé¹, le 7 janvier, qu'il allait faire passer la puissance des systèmes HPC de son centre national de calcul (IDRIS) de 6,7 à 207 TeraFlops ! L'objectif est de mettre à la disposition de tous les chercheurs (du secteur public et des entreprises) la puissance de calcul indispensable pour mener à bien des simulations numériques et des calculs de haute performance. La nouvelle configuration, qui devrait être opérationnelle dès ce mois de mars, sera la plus puissante d'Europe après le site de Jülich en Allemagne.

Le marché passé avec IBM comprend deux systèmes d'architectures différentes mais complémentaires :

- Un système IBM Blue Gene/P comprenant 40.480 processeurs de calcul (10 armoires), 20 TeraOctets de mémoire, avec une puissance crête de 139 TeraFlops.
- Un système IBM POWER6 comprenant 3.584 processeurs, 18 TeraOctets de mémoire, avec une puissance crête de 68 TeraFlops.

Ces deux systèmes seront intégrés en une seule plate-forme de calcul. Le portail de l'IDRIS² fournit des informations plus détaillées.

Financée totalement par le CNRS, cette plate-forme très attendue par les scientifiques préfigure les futurs investissements qui seront réalisés dans le cadre du Grand Equipement National de Calcul Intensif (GENCI).

ANR : la programmation 2008

Les premiers programmes de l'Agence Nationale de la Recherche remontent à 2005.

Après une large consultation de la communauté scientifique, l'ANR a apporté des modifications importantes à sa programmation. Il est résulté, pour 2008, un document intitulé « ANR - Programmation 2008 »³ de 263 pages qui présente 47 programmes. Pour chacun de ces programmes, on trouve :

- Finalités visées, objectifs et résultats attendus.
- Justifications au titre des enjeux de société.
- Justifications au titre des stratégies de recherche scientifique et technique.
- Positionnement par rapport aux partenaires, liens avec les autres programmes na-

¹ <http://www2.cnrs.fr/presse/communiqu/1262.htm>

² <http://www.idris.fr/>

³ <http://www.agence-nationale-recherche.fr/documents/uploaded/2007/Programmation-ANR-2008.pdf>

tionaux/européens, modalités de financement.

L'ANR a souhaité faire évoluer ses appels à projets dans le domaine des STIC et a demandé à un groupe de travail, piloté par Gérard Roucairol, de faire des propositions. Ce groupe a proposé de refondre le dispositif et de regrouper les programmes STIC en cinq « gros programmes » (hors nanotechnologies) :

- Systèmes embarqués et grandes infrastructures
- Contenus et interaction
- Réseaux du futur et services
- Conception et simulation numérique
- Domaines émergents

Les appels à projets 2008 correspondant à ces programmes ont été publiés⁴ par l'ANR le 14 janvier, ils seront clos le 26 ou le 27 mars selon le programme.

Un sixième programme est destiné à la modélisation mathématique des systèmes complexes.

La place du HPC dans les programmes 2008

Rappelons que, depuis 2005, plusieurs programmes de l'ANR ont concerné particulièrement la communauté « Calcul de haute performance », en particulier : Calcul intensif et grilles de calcul ; Architectures du futur ; Calcul intensif et simulation ; Masses de données.

Trois des programmes STIC 2008 concernent plus directement la communauté du calcul numérique intensif.

Systèmes embarqués et grandes infrastructures. Plusieurs axes thématiques sont à retenir, dont celui intitulé « Systèmes de grande taille et outils de partage des applications » (lien avec le 7^{ème} PCRDT, ITEA, le programme PACE, ...).

Conception et simulation numérique. Ce programme vise le développement de la conception, la science et l'ingénierie numérique, notamment grâce à l'utilisation du calcul numérique intensif et de la simulation. On retiendra les axes thématiques « Petascaling », « Modélisation multiphysiques et du vivant », « outils de modélisation, environnement de développement, grilles, ... », « grands logiciels numériques embarqués ».

Domaines émergents. On retiendra l'axe « Nouveaux paradigmes de calcul et de la programmation ».

D'autres programmes peuvent bien entendu nous concerner, par exemple dans les domaines de la biologie et de la santé, de l'ingénierie et des procédés.

⁴ <http://www.agence-nationale-recherche.fr/AAPProjetsOuverts>

Ne pas oublier les *programmes non thématiques* (« chaires d'excellence » ; « jeunes chercheuses et jeunes chercheurs », « blanc ») qui concernent les recherches novatrices.

A lire :

Le document d'orientation du comité sectoriel STIC : « Propositions pour la programmation 2008-2010 des activités STIC de l'ANR »⁵

On trouvera d'autre part, sur le site Orap⁶, une version pdf de la présentation des appels à projets STIC 2008 faite par Nakita Vodjdani.

Europe : l'Institut européen de technologie

En 2005, au moment où il a été décidé de donner un nouveau souffle à la "stratégie de Lisbonne", la création de l'Institut européen de technologie (IET) a été proposée par la Commission et son président. Il s'agit de contribuer à cette nouvelle dynamique en relançant conjointement, tout en tenant compte de leur complémentarité, la formation, la recherche et l'innovation sur une base pluridisciplinaire. Pour obtenir la masse critique suffisante, la Commission propose de créer une organisation dédiée à la promotion de ce "triangle du savoir".

Les ministres de la recherche de l'Union européenne, réunis le 25 juin 2007, se sont mis d'accord sur l'orientation générale de l'IET. Ainsi, le comité directeur de l'IET pourrait être désigné au printemps 2008 et les premières "Communautés de la connaissance et de l'innovation" sélectionnées d'ici 2010.

L'IET prendra la forme d'une agence européenne. Il sera constitué d'un comité directeur assisté d'un personnel scientifique et administratif très restreint et de "Communautés de la connaissance et de l'innovation" (CCI, ou KIC : "Knowledge and Innovation Communities") que ce dernier aura la charge de sélectionner.

Les CCI constitueront le cœur des activités de l'IET et auront une durée de vie de 7 à 15 ans. Fondées sur le principe du travail en réseau, elles sont définies comme des «partenariats autonomes» représentant des universités, des organismes de recherche et des entreprises, qui s'associeront en réponse aux appels à propositions de l'IET. Leur définition est donc très large, ce qui laisse l'opportunité de présenter des partenariats assez divers selon les thématiques transdisciplinaires abordées. Aucune

⁵ http://www.agence-nationale-recherche.fr/documents/uploaded/2007/ANR_STIC_2008_2010.pdf

⁶ http://www.irisa.fr/orap/Prog-nat/AMPHISTIC2008_NV.pdf

thématique n'est mentionnée dans le règlement de l'IET ; cependant, le statut prioritaire du changement climatique et des énergies renouvelables dans l'agenda politique européen laisse pressentir qu'une, voire deux, des CCI pilotes porteront sur ces thèmes.

Les ministres se sont mis d'accord sur une mise en place de l'IET en deux étapes:

- 2008-2011 : identification d'ici 2010 de deux/trois premières CCI pilotes avec une évaluation en 2011 et la définition d'un agenda stratégique de l'innovation soumis à l'approbation du Conseil et du Parlement européen ;
- Puis, identification des autres CCI à partir de 2011.

La question du financement de l'IET n'est pas complètement clarifiée aujourd'hui, alors que la Commission table sur un financement de 2,4 milliards d'euros.

Notons que les ministres de l'UE sont parvenus à un accord sur l'établissement d'un Institut européen d'innovation et de technologie (IET) et sur quatre initiatives technologiques conjointes (JTI : Joint Technology Initiatives) lors du Conseil Compétitivité des 22 et 23 novembre 2007. Les JTI concernées visent à promouvoir la recherche orientée vers les médicaments innovants, les systèmes informatiques embarqués, les technologies nanoélectroniques et l'aéronautique.

Jean-Loïc Delhayé

Echos de la conférence SC'07

L'édition 2007 de la conférence « High Performance Computing, Networking, Storage and Analysis » s'est déroulée du 10 au 16 novembre à Reno (Nevada). De nouveaux records ont été battus, en nombre de participants (plus de 9000), de pays représentés, d'exposants dans l'exposition (en croissance de 25% par rapport à 2006). Des innovations dans le programme, en particulier avec le thème « Disruptive technologies ».

Un « slogan » assez nouveau mais omniprésent : réduire la consommation énergétique. Le « Green computing » prend une place importante, tant dans les stands (des constructeurs) que dans les présentations. La course à la performance prend des voies diverses, mais l'indicateur le plus courant est le nombre de flops par watt. Une liste Green500⁷, faite à l'initiative de Virginia Tech, propose un classement des 500 supercalculateurs classés par

⁷ <http://www.green500.org/home.html>

ordre croissant de leur consommation énergétique. Le haut de cette liste est largement dominé par les Blue Gene d'IBM.

La gestion et l'accès aux masses de données de plus en plus impressionnantes font également partie des défis actuels. L'insuffisance de la bande passante explique en grande partie l'écart entre les performances crêtes et les performances réelles.

Cette conférence est aussi l'occasion pour les constructeurs d'annoncer (ou de ré-annoncer !) des succès commerciaux. Et la traditionnelle annonce de la nouvelle version du TOP500⁸ permet de justifier des déclarations victorieuses parfois contradictoires !

La conférence

Le programme de la conférence était, comme toujours, très diversifié et parfois un peu confus.

Dix « workshops » indépendants, ayant leur propre organisation ont eu lieu le samedi et le dimanche précédent la conférence.

Les « tutoriels » (10 d'une demi-journée et 15 d'une journée entière) étaient regroupés le samedi et le dimanche sur des thèmes tels que la sécurité des ordinateurs, le développement et l'optimisation de programme, la visualisation, les nouvelles technologies et architectures, etc.

Un « Education Program » qui s'étale sur presque quatre jours, destiné aux enseignants et aux étudiants.

54 « papiers », retenus parmi 268 soumissions, forment le cœur du « programme technique », complétés par des panels.

31 « Bofs » et 39 posters complétaient cet espace.

L'exposition « Industrie »

314 stands (197 de sociétés, 117 d'organismes de recherche). Les stands des « grands constructeurs ou fournisseurs » (d'ordinateurs, de stockage de données, de technologies d'interconnexion, de logiciels, etc) dominent et côtoient un nombre important de petits stands qui présentent souvent des solutions correspondant à des marchés de « niches ». Pas de tendance nouvelle cette année, si ce n'est qu'on constate encore une fois la grande mobilité de ce secteur (disparitions et apparitions de sociétés).

Cette exposition est complétée par des présentations faites par les industriels eux-mêmes, sur des thèmes particuliers : architectures, réseaux, stockage de données, technologies multi-cœurs, etc. Un thème était mis en avant cette année : « Disruptive technologies ».

⁸ <http://www.top500.org>

Signalons la présence de deux jeunes entreprises françaises. CAPS Entreprise⁹, située à Rennes, développe et commercialise des outils d'aide à l'optimisation des codes de calcul intensif, de façon à exploiter toute la puissance des processeurs de dernière génération. GPU-Tech¹⁰, située à Villeneuve d'Asq, développe des produits et fournit des services centrés sur les cartes graphiques (en particulier à travers des partenariats avec AMD, ATI et NVIDIA).

Mentionnons aussi la sélection des « 5 sociétés à surveiller » faite par les éditeurs et les lecteurs de HPCwire : Intel, Microsoft, NVIDIA, RapidMind (société canadienne proposant des plates-formes destinées aux développeurs d'applications sur processeurs multi-cœurs) et Sun Microsystems.

L'exposition « recherche »

L'exposition recherche (plus de 100 stands) est dominée, comme les années précédentes, par les centres de recherche (laboratoires nationaux, universités, etc) américains.

Du côté des « acteurs recherche » européens, on notera la forte présence, traditionnelle, des allemands (centre de recherche de Karlsruhe, Fraunhofer ITWM, HLRS, Leibnitz computing center, NIC, université de Dresde) et des anglais (Daresbury Labs, EPCC, FHPCA, université de Reading, Warwick Technology Park, et un stand « United Kingdom Pavillon » regroupant diverses actions dont des projets du programme e-Science).

D'autres pays européens sont présents : l'Autriche (Austrian Grid Initiative, université de Vienne), l'Espagne (Barcelona Supercomputing Center), les Pays-Bas qui regroupent les principaux acteurs du domaine sur un excellent stand « Dutch Research Consortium », la Grèce (GRNET), la Hongrie (centre de compétence sur les grilles), l'Italie (INFN), la Pologne (Poznan supercomputing center).

Pour la France, on retrouve le CEA, EDF R&D et l'INRIA. On peut d'ailleurs regretter une nouvelle fois que la recherche académique française ne s'inspire pas des exemples britannique et néerlandais !

Le CEA présentait ses activités dans le domaine du HPC, en particulier à travers le CCRT, ainsi que plusieurs applications. EDF présentait les premiers résultats obtenus sur sa machine IBM BG/L¹¹ et l'évolution prévue en termes de puissance de calcul.



Photo : CEA



Photo : Jean-Yves Berthou - EDF

L'INRIA disposait d'un stand qui lui a permis de présenter ses travaux dans le domaine de l'informatique haute performance, des grilles informatiques et des réseaux. L'institut est à la tête de plusieurs initiatives HPC en France et en Europe (réseau d'excellence CoreGRID, projet intégré XtreamOS et l'action de développement technologique ALADIN pour le développement de l'infrastructure Grid'5000).



Photo : Julie Paul - INRIA

⁹ <http://www.caps-entreprise.com>

¹⁰ <http://www.gputech.com>

¹¹ Voir le numéro précédent de Bi-Orap

TOP500 : quelques points à retenir

Nous reviendrons plus en détail sur l'édition de novembre 2007 du TOP500. On peut cependant noter quelques caractéristiques importantes.

Le TOP10 comprend 5 nouveaux systèmes, dont un système IBM Blue Gene/P. Constructeurs présents dans le Top10 : IBM (4), Cray (3), HP (2), SGI (1). Le premier système a une puissance crête de 480 TeraFlops.

IBM est le premier constructeur du TOP500 avec 46% des systèmes installés, devant HP (32%). 406 des systèmes sont des clusters. 71% des systèmes utilisent des processeurs Intel (en hausse). 284 des systèmes sont installés aux Etats-Unis, mais la part de l'Europe croit avec 149 systèmes, dont 2 dans le TOP10 (Allemagne, Suède). Les anglais et les allemands renforcent leur position avec respectivement 48 et 31 systèmes (la France en a 17).

La « guerre des puces »

La compétition entre Intel et AMD a été ravivée avec le retard pris par AMD dans la livraison de ses nouveaux processeurs Opteron Quadri-cœurs : « Barcelona ». Les annonces et communiqués se sont succédés depuis l'été 2007 et ce sujet était très présent pendant SC'07. Intel domine le marché des microprocesseurs (près de 79% du marché contre 13% pour AMD et 8% pour le reste des fabricants). Avec un chiffre d'affaires de 35,4 milliards de dollars en 2006, Intel peut investir près de 6 milliards dans la R&D, c'est-à-dire plus que le chiffre d'affaires d'AMD ! Intel a mis à profit le retard pris par son rival pour placer ses processeurs bi-cœurs Woodcrest et quadri-cœurs Clovertown : en six mois, le nombre de systèmes basés sur le Xeon quadri-cœurs est passé de 19 à 102 dans le TOP500. Et Intel a annoncé, pendant la conférence SC'07, la famille Penryn (bi- et quadri-), avec une technologie 45 nm, montrant qu'il n'entendait pas en rester là. Intel lançant sa technologie 45 nm au moment où AMD commence à livrer les processeurs Opteron 65 nm, peut-on imaginer qu'une génération technologique sépare les deux rivaux ?

Jean-Loïc Delhayé

SC'07 : du côté des constructeurs

Cette conférence est une bonne occasion pour rencontrer les constructeurs et faire le point sur leur offre et leurs projets. En voici les principaux éléments.

Bull

Bull conserve deux systèmes classés dans le TOP500, ceux installés au CEA. Mais divers contrats et livraisons récents montrent que sa présence dans le HPC se renforce ; Bull annonce plus de 100 clients dans 13 pays avec une puissance totale agrégée de 200 TeraFlops et ne cache pas que son objectif est de faire partie des cinq premiers vendeurs de systèmes HPC dans le monde, selon le classement IDC.

Bull fait évoluer sa gamme de serveurs, en suivant les nouveaux processeurs de son fournisseur, auquel il reste fidèle.

Des « réflexions » sont en cours, d'une part vers l'hétérogénéité (processeurs spécialisés, du type GPU), d'autre part pour être capable de fournir un système « pétaflopique » (environ 70.000 cœurs) dès 2009.

Enfin, on peut noter qu'à travers le rachat de Serviware, Bull devient l'intégrateur de référence sur le marché français quelque soit la technologie proposée et retenue par ses clients.

Cray

L'offre Cray actuelle est basée sur la ligne XT dont plusieurs installations font partie du dernier Top500 (Sandia National Lab. avec le système Red Storm, ORNL, NERSC, CSCS en Suisse, ...). Il s'agit d'une architecture massivement parallèle, dont les nœuds évoluent, en particulier en fonction de l'offre d'AMD puisque c'est le fournisseur de Cray.

Le XT4, lancé en 2006, a pris la suite du XT3. Le nœud XT4 a une performance crête de 35 GigaFlops, et un système d'interconnexion SeaStar2. Les premiers systèmes utilisant les nouveaux processeurs quadri-cœurs devaient être livrés fin 2007. Cray a annoncé, début novembre, le XT5. Cette nouvelle ligne comprend d'une part le XT5, successeur du XT4, d'autre part le XT5h qui est un système hybride.

Le nœud XT5 est un SMP 8 voies, avec 2 processeurs quadri-cœurs Opteron et une performance de 70 GigaFlops. Une armoire contient 768 cœurs Opteron. Une configuration de 6 armoires XT5 contient 1112 processeurs pour 43 TeraFlops et une consommation énergétique de 250 kW (critère présent chez tous les constructeurs !). Une configuration de 144 armoires fournit une puissance de 1 PetaFlops.

Le XT5h (« h » pour hybrid), comprend aussi des lames vectorielles (successeurs des ex-X1E) et des lames FPGA, tout ceci avec une infrastructure commune. C'est donc une étape importante sur la voie de l'« adaptative computing » prôné par Cray depuis quelques années. Le système XT4 « Hector » installé en Grande-Bretagne recevra une armoire XT5h en 2008.

Quelle évolution ? La ligne XT (scalaire) sera suivie par le système « Baker » qui va évoluer vers le système « Granite ». Les lames Baker comprendront 4 nœuds de calcul Opteron quadri-cœurs, ainsi qu'un nouveau système de communication appelé « Gemini ». Cray développe le système « Cascade » qui est sa réponse au programme HPCS du gouvernement américain. L'architecture Cascade – dont la mémoire est adressable globalement – utilisera des processeurs scalaires AMD (nœuds scalaires de Baker) et/ou des co-processeurs « Scorpio » développés par Cray permettant de faire du parallélisme MIMD (multithread) et du parallélisme SIMD (accélérateur vectoriel), et des nœuds FPGA, ainsi que le système d'interconnexion « Gemini » et son successeur. Rappelons également que Cray développe, pour HPCS, un nouveau langage de programmation qui sera portable (non ciblé sur ses propres systèmes) : Chapel.

Au-delà de « Cascade » ? Cray prévoit de disposer de systèmes d'une dizaine de PetaFlops au début des années 2010, un nouvel interconnect (Gemini 2) et pense à l'ExaFlops (1000 PetaFlops) !

HP

La position de HP dans le domaine du HPC est solide et ancienne. Selon les classements IDC, HP est en « pôle position » pour ce qui concerne le chiffre d'affaire dans ce domaine, étant particulièrement présent dans le « mid-market ». Les serveurs HP Blade Systems continuent à jouer un rôle déterminant dans la deuxième position de HP dans le TOP500.

HP considère que sa croissance viendra d'abord du marché des systèmes de taille moyenne. Le « Cluster Platform Workgroup System » lancé pendant SC'07, s'adresse à des organismes qui ne sont pas encore des « clients HPC ». Ce système peut être configuré avec un maximum de 8 nœuds dans un HP Blade System c3000, avec chacun 2 processeurs quadri-cœurs (AMD ou Intel). Le système d'exploitation peut être Linux ou Windows CCS 2003.

On peut rappeler le Multi-Core Optimization Program qui vise à diffuser des technologies HP permettant d'accélérer le développement d'applications sur des architectures multi-cœurs. HP ne cherche pas nécessairement à être dans le très haut de gamme (« high end »), préférant innover en utilisant des composants matériels et logiciels « standards » du marché (à la différence d'IBM ou de Cray). HP travaille en particulier dans deux directions : la densité des nœuds de calcul, incluant la mise de disques sur les lames, et les interconnexions (utilisant

par exemple la photonique). HP investit également dans la recherche autour des architectures hétérogènes (accélérateurs, FPGA, GPU).

La stratégie d'innovation de HP à partir des standards de l'industrie s'avère fructueuse, non seulement dans le « mid-market » mais aussi dans le « high-end » comme le montre la présence de deux systèmes HP dans le dernier TOP10 : un cluster 3000 BL460 de 14.250 cœurs Xeon (numéro 4 du Top500, 118 TeraFlops) situé en Inde (groupe TATA) et un cluster 3000 BL460 de 13.728 cœurs Xeon 2 (numéro 5, 103 TeraFlops) situé dans une agence gouvernementale suédoise.

IBM

IBM domine le TOP500 avec 232 systèmes et 45% de la performance installée. La compagnie décline sa « feuille de route » dans le HPC avec 4 « familles », permettant de répondre à des besoins variés : les processeurs Power, les systèmes Blue Gene, les accélérateurs basés sur le processeur Cell BE, les clusters Linux s'appuyant sur les processeurs multi-cœurs disponibles sur le marché. Quelles sont les évolutions annoncées ?

Power. Le Power5-995+ (16 à 64 cœurs), 2,2 GHz est disponible en 2007. Le Power6 (jusqu'à 64 cœurs), 5,5 GHz sera disponible vers la fin 2008. Le Power7 (128 cœurs et au-delà) sera disponible vers 2010 ; c'est le processeur à la base du projet PERCS (programme HPCS de la DARPA, 10 PetaFlops peak).

Blue Gene. C'est le champion dans les économies d'énergie ! Le BG/L est basé sur des PPC 440 à 700 MHz ; le BG/P, dont les premières livraisons ont été faites en 2007, utilise des PPC 450 (quadri-cœurs) à 850 MHz avec une performance crête maximum de 3 PetaFlops. Le BG/Q sera basé sur des Power multi-cœurs pour atteindre une performance de 100 PetaFlops.

Cell BE. En 2008 devrait apparaître le PowerCell, 3,2 GHz, en version double précision. Il sera à la base des lames QS22 (le QS21 restant la référence pour le calcul simple précision). Des nœuds hybrides sont en cours d'expérimentation dans le « Roadrunner »¹² du Los Alamos National Lab. : il s'agit d'associer étroitement un processeur Opteron et deux QS22.

Clusters Linux. IBM poursuit cette ligne, et le cluster installé à Barcelone reste une référence. IBM investit également massivement dans les logiciels, en particulier dans le cadre du programme HPCS. C'est dans ce contexte qu'est développé le « Programming environment for

¹² <http://www.lanl.gov/roadrunner/>

heterogeneous system », dont PTP (Eclipse Parallel Tool Platform).

Ajoutons qu'IBM dispose d'un pôle de compétences et d'une infrastructure HPC très significatifs en France, avec des experts reconnus au niveau mondial, maîtrisant à la fois les applications métiers de ses clients et les architectures, design et mise en œuvre. Cette expertise permet d'accompagner les grands clients dans la vente et le déploiement de solutions de calcul de toute taille, jusqu'à plusieurs centaines de Teraflops

NEC

NEC est maintenant le seul constructeur à baser une part importante sa stratégie HPC sur les architectures vectorielles. La famille des SX a été lancée en 1983 ; l'avant dernier modèle (le SX-8) date de 2004 et le dernier, modèle, le SX-9, a été annoncé quelques jours avant la conférence SC'07.

Pour NEC, « l'important est le cœur » ! Il faut construire le cœur le plus performant possible (loi de Amdhal oblige), plutôt que de multiplier le nombre de cœurs. La consommation énergétique et l'espace au sol sont aussi des paramètres importants. Enfin, NEC choisit le « capability computing » plutôt que le « capacity computing ».

Le processeur du SX-9 est le plus puissant du marché en 64 bits : 102 GigaFlops (triplement par rapport au SX-8R, grâce à une augmentation des unités vectorielles et scalaires, et à une fréquence multipliée par 1,5). Le nœud (16 processeurs) a une performance de 1,6 TeraFlops et une mémoire de 1 Teraoctets. La configuration maximale possible comprend 512 nœuds, ce qui donne une performance crête de 839 TeraFlops ; on se rapproche donc du PetaFlops ! Avec des interconnexions ultra rapides, cette architecture est bien adaptée aux applications de type mécanique des fluides, prévision météorologique, climatologie, MHD, etc., marchés traditionnels de NEC. Le logiciel de base est « Super-UX » développé par NEC à partir de UNIX System V.

La suite ? NEC est très engagé dans le « Next-Generation Supercomputer Project », qui vise à redonner au Japon la première place dans le Top500. Le Earth Simulator avait permis de développer des technologies essentielles pour le SX-6; ce nouveau projet devrait avoir également des retombées importantes sur les futurs produits de la famille SX. Nous reviendrons sur le projet japonais dans un article spécifique.

SGI

SGI semble avoir retrouvé une nouvelle dynamique et une place significative sur le marché

du HPC, avec quatre grands « segments » : défense et « intelligence » (systèmes classifiés), recherche et centres nationaux, industrie, applications décisionnelles (fouille de données, ...). Fort de sa position dans le Top500 et de ses derniers succès commerciaux, Bo Ewald (PDG) considère que la fin des années 2000 va voir le vrai « retour » de SGI.

Trois lignes de produits, qui peuvent répondre à un large éventail de besoins :

- Altix XE : clusters de petits nœuds, utilisant des processeurs Xeon bi- ou quadri-cœurs et qui suivront l'évolution des processeurs Intel (Woodcrest, Clovertone, Harpertown). Le plus puissant système installé actuellement est à l'université du Minnesota.
- Altix ICE 8200, basé sur le processeur Xeon ; la plus grande installation est celle de l'Etat du Nouveau Mexique : 14.336 cœurs, 172 TeraFlops, en position 3 sur le Top500. C'est la voie vers le PetaFlops : 256 armoires, un système d'interconnexion renforcé, fourniront une performance crête de 1,6 PetaFlops. Au-delà, il faudra utiliser les futurs processeurs Intel (davantage de cœurs) et travailler sur le packaging pour réduire la consommation énergétique qui devient un facteur critique.
- Altix 4xxx, famille de clusters de gros nœuds, utilisant les chipsets propres de SGI, avec 4 processeurs par chipset et une mémoire adressable globalement. C'est l'autre voie vers le petascale puisque c'est la base de la solution « Ultraviolet » (processeur Tukwila qui prendra la suite de Montecito) destinée à la NASA en 2009.

Des recherches sont en cours pour la fabrication d'un chip d'une performance crête du TeraFlops : 100 millions de transistors sur 275 mm² (64 cœurs ?). Un nouveau jeu d'instructions, une amélioration des caches et de la gestion des threads.

Sun

Sun semble sortir de ses difficultés financières. Après avoir annoncé, en août 2007, le processeur UltraSPARC T2 (ex « Niagara 2 »), microprocesseur sur étagère « le plus performant du marché » fournissant un système 64 voies (8 cœurs et 8 threads par cœur) sur un seul chip, Sun montrait ses ambitions dans le domaine du HPC avec deux « produits » : le système Sun Constellation et le système de stockage StorateTek5800.

Le Sun Constellation, dont la première installation est en cours au Texas Advanced Computing Center (TACC) de l'université du Texas (processeur Opteron, près de 4000 nœuds,

puissance de 500 TeraFlops), est construit autour des éléments suivants :

- Le châssis Sun Constellation 6048 comprenant jusqu'à 48 serveurs lames dans une seule armoire (768 cœurs). Une lame comprend 16 cœurs au maximum, les processeurs pouvant, au choix, être des processeurs UltraSPARC T2, Intel ou AMD¹³.
- Le commutateur Sun Constellation « Magnum » Infiniband permet de construire un cluster dimensionné aux besoins du client. Chaque commutateur Infiniband Magnum peut accueillir jusqu'à 3456 connexions Infiniband DDR. La taille maximale d'un cluster utilisant ces commutateurs est de 13.834 nœuds, délivrant une performance crête proche de 2 PetaFlops¹⁴.
- Le système de stockage Sun StorageTek 5800 est un système de stockage d'objets optimisé pour héberger de grandes quantités de contenus digitaux. Une caractéristique importante est la gestion avancée de métadonnées décrivant les objets stockés, et une architecture permettant de gérer localement le format de l'objet manipulé.

Sun présentait également le projet « Black-Box » consistant à regrouper dans un container, transportable sur un camion standard, 820 processeurs (3280 cœurs, 31 TeraFlops), 3 PetaOctets de mémoire disques : c'est le centre de calcul dans une « boîte » transportable à peu près n'importe où !

Jean-Loïc Delhaye

Nouveaux moyens HPC pour la recherche chez nos voisins européens

Nos voisins européens continuent de renforcer les moyens de calcul haute performance destinés à leurs communautés scientifiques.

Allemagne

- Six « länder » (Berlin, Bremen, Hamburg, Mecklenburg-Vorpommern, Niedersachsen et Schleswig-Holstein) se sont associés pour financer un système SGI d'une performance crête de 312 TeraFlops (coût annoncé : environ 26 M€). Le système sera distribué sur deux sites (Hannover et Ber-

¹³ Plus de détails sur <http://www.sun.com/servers/blades/6048chassis/>.

¹⁴ Plus de détails sur <http://www.sun.com/products/networking/datacenter/ds3456/>.

lin ; 12500 nœuds par site) reliés par une ligne dédiée à 10 Gbit/s. L'installation sera faite en trois étapes et sera terminée en septembre 2009.

<http://www.hlrn.de/>

- Le Garching Computing Center de la Max Planck Society a annoncé l'installation du premier système IBM Blue Gene/P. Il contient 8192 processeurs et 4 Teraoctets de mémoire.
- Le LRZ (Leibnitz Supercomputer Centre), à Garching, augmente la configuration de ses clusters Linux. La société allemande Megware Computer GmbH va lui fournir quatre clusters avec un total de 1.964 cœurs. Cette opération portera à 16,7 TeraFlops la puissance disponible sur les clusters Linux de ce centre.

Grande Bretagne

University College London et Dell ont signé un accord pour l'installation d'un système de 42,9 TeraFlops (nom de code : Legion). Il comprendra en particulier un cluster de 2560 processeurs bi-cœurs Intel.

Norvège

L'Université de Tromso a reçu un cluster HP d'une puissance crête de 60 TeraFlops (5632 cœurs, processeurs Intel Xeon 2,66 GHz quadri-cœur).

Lire, visiter, participer

Lire :

- Le nouveau numéro de la lettre d'information de DEISA
<http://www.deisa.org>
- Le nouveau numéro de « CERFACS Actualités »
<http://www.cerfacs.fr/flashnews/flashnews.htm>
- « Petascale Computing : Algorithms and Applications ». Edité par David A. Bader (Gorgia Tech), ce livre est dédié aux « applications pétaflopiques ».

Participer :

- Le troisième **EGEE User Forum** aura lieu du 11 au 14 février à Clermont-Ferrand. Pour mieux connaître ce qui se fait sur les grilles !
<http://www.eu-egee.org/uf3>
- Les prochaines Rencontres francophones du Parallélisme (**RenPar'18**), le prochain Symposium en Architecture de machines (SympA '2008) et la prochaine Conférence

Française sur les Systèmes d'Exploitation (CFSE '6) se tiendront en Suisse à Fribourg, du 11 au 13 février 2008.

<http://gridgroup.tic.hefr.ch/renpar>

- **Journée des « Mésocentres »** : une journée sur les méso-centres de calcul aura lieu le 13 février à l'IHP (Paris, Amphi Hermite). Cette journée, organisée par le Groupe Calcul, en collaboration avec ResInfo, a pour but de présenter le paysage des moyens de calcul français, notamment les pôles de calcul régionaux. Les exposés permettront de présenter différents éclairages sur les intérêts multiples de ce type de moyens de calcul.
<http://calcul.math.cnrs.fr/spip.php?article166>
- Le centre de recherche INRIA de Grenoble organise la première école d'hiver sur le « **Hot Topics in Distributed Computing** ». La Plagne, du 9 au 14 mars.
<http://sardes.inrialpes.fr/~quema/etdc2008>
- Journée « Thème Emergent » du GDR ASR consacrée au calcul généraliste sur unités graphiques (JTE GPGPU) : 3 avril à Paris.
<http://www.univ-perp.fr/gpgpu>
- Le prochain **colloque Ter@TEC** aura lieu les 3 et 4 juin à Evry
- **Ecole d'été CEA-EDF-INRIA** du 9 au 20 juin 2008 sur le thème « **Petascale Computing : from chip to HPC Center** ». Trois grands chapitres :
 - « *Microprocessor Architectures* »
 - « *System Software for Peta-Scale Computing* »
 - « *Programming Models and Environments for Peta-Scale Computing* »<http://www.inria.fr/ecoles-cea-edf-inria>

NOUVELLES BREVES

→ EdF : + 111 TeraFlops

Décembre 2007 : EDF R&D a fait l'acquisition d'une machine IBM BG/P composée de 32 700 cœurs (8 racks) totalisant 111 TeraFlops. La machine, dédiée aux simulations intensives, sera opérationnelle au premier semestre 2008.

→ European Grid Initiative

36 initiatives nationales de grille de calcul s'associent, sous l'égide de la Commission européenne, autour du projet EGI (« European Grid Initiative »). Un projet, EGI-Design Study, financé dans le cadre du 7^{ème} PCRDT pour une durée de deux ans, doit permettre de définir les

bases de la mise en place d'une infrastructure de grille fiable et durable à l'échelle européenne.

<http://www.eu-egi.org/>

→ DEISA

Le consortium européen DEISA a annoncé que 45 projets avaient été sélectionnés et allaient recevoir un total d'environ 30 millions d'heures de calcul sur les superordinateurs de DEISA dans le cadre de DECI (DEISA Extreme Computing Initiative).

<http://www.deisa.org/>

→ Lancement du projet POPS

Le projet collaboratif POPS (PetaOpérations par Seconde), dans le cadre du pôle de compétitivité System@TIC, a été lancé le 6 décembre. Piloté par Bull, il associe de nombreux partenaires dont CAPS Entreprise, le CEA, CS, Dassault Aviation, l'Ecole Centrale, EDF, l'IFP, l'INRIA-Rennes, l'INT, l'UVSQ. Il doit permettre aux industriels et centres de recherche de préparer dès maintenant la mise au point des applications parallèles qui sauront exploiter les très grands supercalculateurs à l'horizon 2010.

→ Bull

Dans le cadre du système national brésilien de calcul de haute performance (SINAPAD), Bull fournit des supercalculateurs à deux universités brésiliennes : l'Université fédérale du Pernambouc (UFPE) et l'Université fédérale du Céara (UFCE). Chacun de ces clusters est constitué de 72 serveurs NovaScale disposant chacun de deux processeurs Intel Xeon quadri-cœurs.

→ Cray

- Le NERSC (National Energy Research Scientific Computing Center) du département américain de l'énergie a validé les procédures de réception de son Cray XT4 de 100 Teraflops. Surnommé « Franklin », il comprend près de 20.000 cœurs (9.672 processeurs Opteron bi-cœurs d'AMD).
- Cray a reçu la première commande pour son nouveau système XT5. Ce système sera installé dans le second semestre 2008 au centre de météorologie danois.
- Le Pacific Northwest National Laboratory (PNNL) du DoE a reçu un système XMT, qui a une architecture « massively multi-threaded », destiné à des applications de type « data intensive computing ».

→ HP

Le Département de l'énergie (DoE) va financer pour le PNNL (Pacific Northwest National Laboratory) un système HP de 163 TeraFlops, comprenant 4620 processeurs quadri-cœurs Opteron d'AMD, une interconnexion Infiniband et 37 Teraoctets de mémoire. Il est destiné à accélérer

rer les travaux de recherche de l'EMSL (Environmental Molecular Sciences Laboratory).

→ IBM

- ECMWF (European Centre for Medium-Range Weather Forecasts) va remplacer ses grands moyens de calcul et a commandé à IBM deux systèmes POWER6 (performance de 145 TeraFlops chacun). Le contrat prévoit le remplacement des processeurs POWER6 par les nouveaux POWER en 2011, permettant un doublement de la puissance installée.
- Google et IBM ont lancé un programme de formation destiné à promouvoir de nouvelles méthodes de développement pour les applications exploitées dans des environnements de calcul distribué à grande échelle. Cette initiative s'adresse à la communauté académique. Pour ce projet, les deux groupes se sont engagés à fournir l'accès à deux serveurs de grande puissance et à un ensemble de logiciels. Parmi les premières universités impliquées : University of Washington, Carnegie-Mellon, MIT, Stanford, UC at Berkeley.

→ Microsoft

Microsoft a annoncé la première version publique de Microsoft Windows HPC Server 2008, successeur de Windows Compute Cluster Server 2003, pour améliorer la productivité et la scalabilité et répondre ainsi à la demande croissante de très grands clusters destinés au HPC.

<http://www.microsoft.com/hpc>

→ NEC

NEC va fournir un système vectoriel SX-9 à l'Université Tohoku. Avec 16 nœuds, la performance crête sera de 26,2 TeraFlops.

→ NVIDIA

Afin de renforcer son engagement envers la communauté croissante qui se range derrière la gamme de produits GPU Computing Testla et des outils de développement logiciel CUDA, NVIDIA vient de lancer CUDAZone, un site communautaire dédié aux développeurs HPC travaillant avec des GPU.

<http://www.nvidia.com/cuda>

→ SGI

- L'Etat du Nouveau Mexique, aux Etats-Unis, a reçu un système Altix ICE d'une puissance crête de 172 TeraFlops (14.336 processeurs Intel Xeon) destiné au New Mexico Computing Applications Center. Il est destiné à renforcer la dynamique économique de cet état et sera utilisé par les écoles, les universités et les entreprises.

- Le centre de recherche NASA Ames a acquis un Altix ICE de 4096 cœurs.
- SGI a fourni à l'université du Minnesota un Altix XE1300 de 2048 cœurs.
- L'Ifremer a acquis un système Altix ICE 8200 de 256 cœurs Intel Xeon

AGENDA

27 au 29 janvier – **HiPEAC 2008** : 2008 International Conference on High Performance Embedded Architectures & Compilers (Göteborg, Suède)

27 janvier – **MULTIPROG** : Workshop on Programmability Issues for Multi-Core Computers (Göteborg, Suède)

11 au 13 février 2008 – **RenPar 18** : Rencontres francophones du parallélisme (Fribourg, Suisse)

11 au 13 février 2008 – **SympA 2008** : SYMPo-sium en Architectures nouvelles de machines (Fribourg, Suisse)

11 au 14 février 2008 – **EGEE** : Third EGEE User Forum (Clermont-Ferrand, France)

13 au 15 février – **Euromicro PDP 2008** : The Sixteen Euromicro Conference on Parallel, Distributed and Network-based Processing (Toulouse)

16 au 20 février – **HPCA 08** : 14th International Symposium on High-Performance Computer Architecture (Salt Lake City, Utah, Etats-Unis)

20 au 23 février – **PPoPP'08** : 13th ACM SIGPLAN Symposium on Principles and Practice of Parallel Programming (Salt Lake City, Utah, Etats-Unis)

1 au 5 mars – **ASPLOS XIII** : 13th International Conference on Architectural Support for Programming Languages and Operating Systems (Seattle, Wa, Etats-Unis)

3 au 7 mars 2008 – **SIMUTools** : First International Conference on Simulation Tools and Techniques for Communications, Networks and Systems (Marseille, France)

4 au 7 mars 2008 – **3PGIC-2008** : Second International Workshop on P2P, Parallel, Grid and Internet Computings (Barcelone, Espagne)

10 au 12 mars 2008 – **SOS12 Workshop** : From petascale to exascale : issues and hopes (Wildhaus, Suisse)

13 au 14 mars – **SCOPES 2008** : 11th International Workshop on Software and Compilers for Embedded Systems (Munich, Allemagne)

16 au 20 mars – **SAC 2008** : 23rd Annual ACM Symposium on Applied Computing (Fortaleza, Brésil)

1^{er} avril – **HPCVirt 2008** : 2nd Workshop on System-level Virtualization for High Performance Computing (Glasgow, UK)

1 au 4 avril – **Eurosyst 2008** : The European Conference on Computer Systems (Glasgow, UK)

2 au 4 avril 2008 – **ISPASS 2008** : IEEE International Symposium on Performance Analysis of Systems and Software (Austin, Tx, Etats-Unis)

14 au 15 avril 2008 – **EGPGV'08** : Eurographics 2008 Symposium on Parallel Graphics and Visualization (Crête, Grèce)

14 avril 2008 – **HiCOMB 2008** : 7th IEEE International Workshop on High Performance Computational Biology (Miami, Fl, Etats-Unis)

14 au 18 avril 2008 – **IPDPS 2008** : 22nd IEEE International Parallel & Distributed Processing Symposium (Miami, Fl, Etats-Unis)

18 avril 2008 – **Hot-P2P 2008** : Workshop on Hot Topics in Peer-to-Peer Systems (Miami, Fl, Etats-Unis)

18 avril 2008 – **LSPP 2008** : Workshop on Large Scale Parallel Processing (Miami, Fl, Etats-Unis)

22 au 22 avril 2008 – **RTAS'08** : 14th IEEE Real-Time and Embedded Technology and Applications Symposium (St Louis, MO, USA)

5 au 7 mai 2008 – **Frontiers 08** : 2008 ACM International Conference on Computing Frontiers (Ischia, Italie)

11 au 16 mai 2008 – **CHT-08** : International Symposium on Advances in Computational Heat Transfer (Marrakech, Maroc)

12 au 14 mai 2008 – **OpenMP 2008** : International Workshop on OpenMP 2008 : OpenMP in a New Era of Parallelism (West Lafayette, In, Etats-Unis)

18 au 22 mai 2008 – **CCGrid2008** : 8th IEEE International Symposium on Cluster Computing and the Grid (Lyon, France)

19 au 22 mai 2008 – **GP2PC** : Global and Peer-to-Peer Computing : Large Scale Data Management (Lyon, France)

19 au 22 mai 2008 – **ASSESS** : Workshop on Assessing Models of Networks and Distributed Computing Platforms (Lyon, France)

2 au 4 juin 2008 – **SPM-08** : ACM Solid and Physical Modeling Symposium 2008 (New-York, NY, Etats-Unis)

2 au 6 juin 2008 – **ISAC 08** : The 5th IEEE International Conference on Autonomic Computing (Chicago, Il, Etats-Unis)

3 au 6 juin 2008 – **SHPCS-08** : Workshop on Security and High Performance Computing Systems (Nicosia, Cyprus)

3 au 6 juin 2008 – **ECMS 2008** : European Conference on Modelling and Simulation (Nicosia, Cyprus)

6 au 4 juin 2008 – **DAIS 2008** : 8th IFIP International Conference on Distributed Applications and Interoperable Systems (Oslo, Norway)

7 au 12 juin 2008 – **ICS 08** : 22nd International Conference on Supercomputing (Ile de Kos, Grèce)

9 au 11 juin 2008 – **HPCS 2008** : 22nd High Performance Computing Symposium (ville de Québec, Canada)

9 au 11 juin 2008 – **ICA3PP 2008** : The 8th International Conference on Algorithms and Architectures for Parallel Processing (Chypre)

9 au 20 juin 2008 – **Computer Science Summer School 2008** : Petascale Computing from chip to HPC Center (St Lambert des Bois, France)

11 & 13 juin 2008 – **SIES 2008** : IEEE Third Symposium on Industrial Embedded Systems (Montpellier)

Les sites de ces manifestations sont accessibles depuis le serveur ORAP.

Si vous souhaitez communiquer des informations sur vos activités dans le domaine du calcul de haute performance, contactez directement Jean-Loïc.Delhaye@irisa.fr

Les numéros de BI-ORAP sont disponibles en format pdf sur le site Web d'ORAP.

ORAP est partenaire de



ORAP

Structure de collaboration créée par le CEA, le CNRS et l'INRIA

Secrétariat : Chantal Le Tonquèze
Irisa, campus de Beaulieu, 35042 Rennes
Tél : 02 99 84 75 33, fax : 02 99 84 74 99
chantal.letonqueze@irisa.fr
<http://www.irisa.fr/orap>