Calculateurs embarqués à architecture parallèle et reconfigurable : exemples et perspectives

Thierry Collette

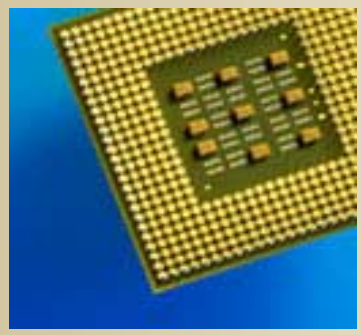
Laboratoire Calculateurs Embarqués et Image
LIST-(CEA- Recherche Technologique)
CEA - DRT- DTSI
F91191 Gif-sur-Yvette Cedex, France
E-mail : Thierry.Collette@cea.fr
Téléphone : (33) 169 086 525
Fax : (33) 169 088 395

13ème Forum Orap

Saclay le 28 Mars 2002

Les processeurs standards

Processeurs généraux destinés aux stations de travail (Pentium, Power PC, Ultra Sparc, R10000, Alpha)



Intel Pentium 4 Processor

- Avantages :
  - Très bon rapport Performances / Prix
  - Polyvalents
  - Faciles à programmer (langages de haut niveaux: C, C++)
  - Très Puissants sur des algorithmes complexes
  - Très peu coûteux (grandes séries, forte concurrence)
- Inconvénients :
  - Absolument pas "temps réel"
  - Performances très limitées pour les algorithmes de traitement de données
  - Dépendance technologique

Les modules dédiés

Circuits électroniques réalisant des fonctions précises
(ex: convolueur, étiqueteur de zones connexes).
Nécessité d'associer plusieurs circuits pour un traitement complet

- Avantages :
  - Traitement temps réel de fonction simples.
  - Peu coûteux s'ils peuvent être utilisés dans un grand nombre d'applications (Coûts de développement)
  - Peu de programmation

- **Inconvénients :**
  - Manque de souplesse
  - Ne peut résoudre des problèmes complexes
  - Impossibilité de faire évoluer l'application
  - Nécessité de développer un nouveau circuit pour chaque nouvelle fonction

Matrox annonce le processeur Matrox G550, un nouvel accelerateur graphique equipe de technologies et de fonctions innovantes
Le moteur Matrox HeadCasting lance un nouveau mode de communication en ligne, alors que les fonctions supplémentaires répondent aux besoins des professionnels comme des particuliers.

Les structures parallèles

Structures entièrement programmables comprenant un nombre plus ou moins grand de processeurs (soit standards soit spécifiques) travaillant en parallèle.

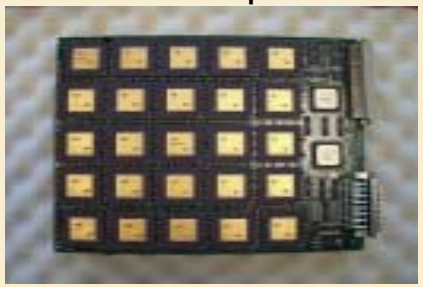
- Avantages :
  - Très performantes
  - Polyvalentes
  - Modulaires (Puissance "à la carte")
  - Programmables
- Inconvénients :
  - Plus complexes à développer
  - Parfois difficiles à programmer (Langages spécifiques, gestion du parallélisme)
  - Encombrement, Consommation
  - Taux de parallélisme parfois mauvais (problème de distribution des données)

ALPHASERVER

64-bit AlphaPowered

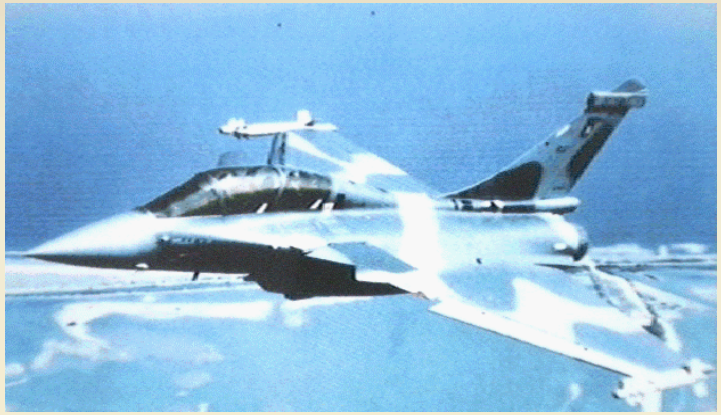
- 1 to 512 processors
- Tru64 UNIX, OpenVMS, Linux
- Solutions for HPTC, e-business, Telco
- High availability clustering

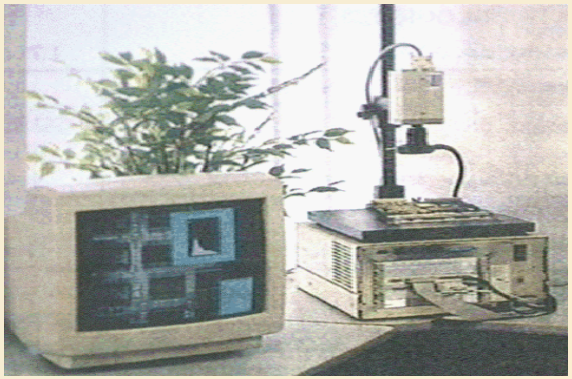
Carte d'un calculateur Très massivement parallèle



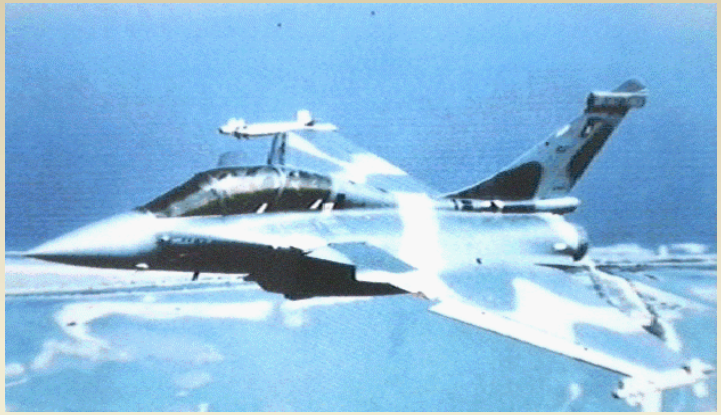
Calculateurs développés au CEA-LIST

- 2001 : SYMETRIE
- 1997: Version embarquée sur RAFALE
- 1993: SYMPHONIE (SAT)
- 1991: OPENVISION (Centralp)
- 1987: SYMPATI 2 (IRIT)



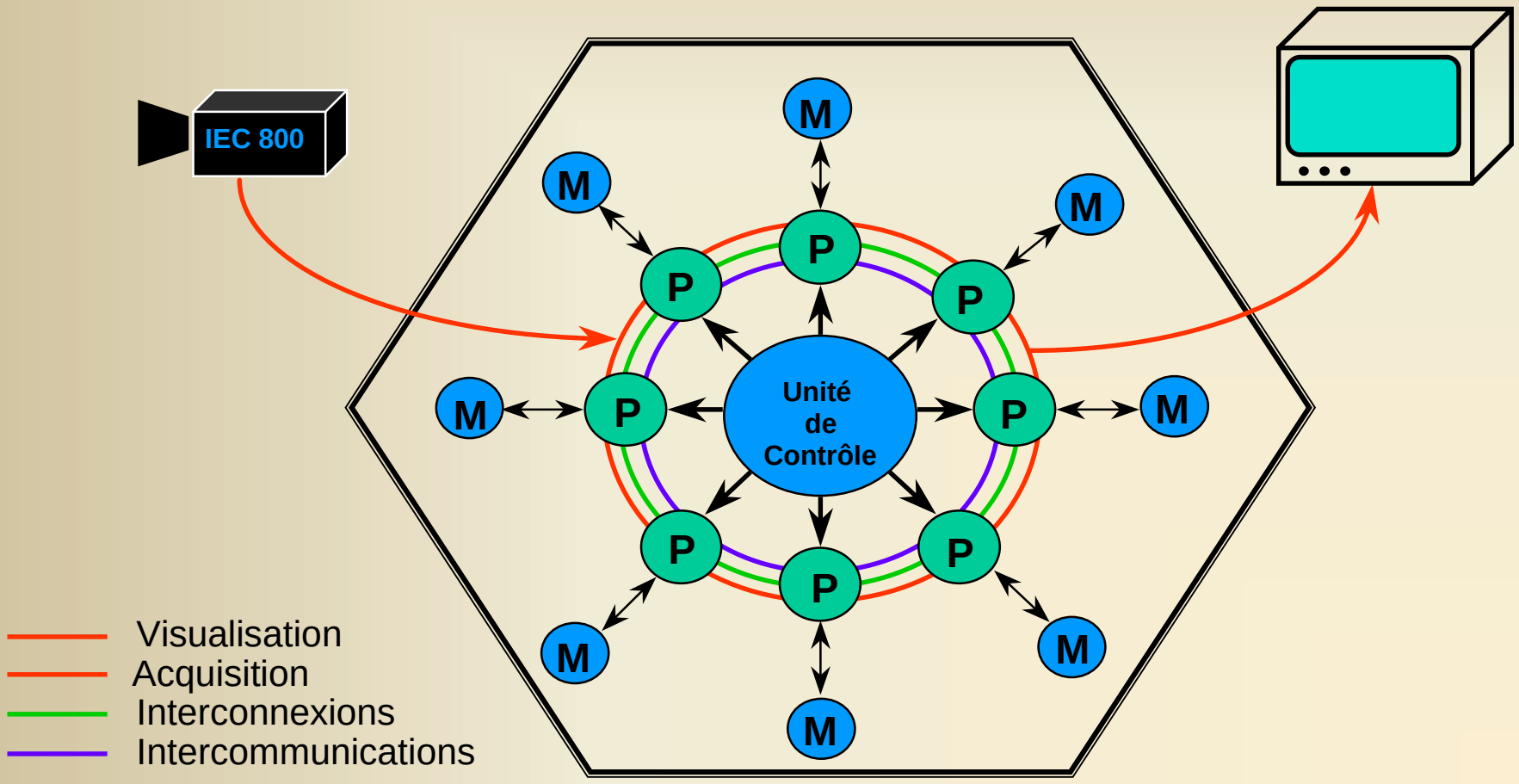


Caractéristiques générales de l'architecture



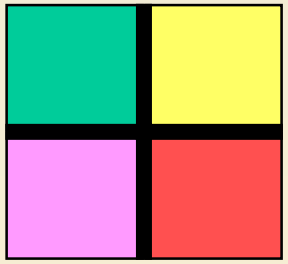
- **Calculateur parallèle SIMD**
  - 32 à 1024 processeurs 32 bits
  - de 512 Ko à 80 Mo de mémoire suivant configuration
  - un coprocesseur de gestion d'adresses par processeur
  - 4 liens de communication 32 bits par processeur
  - canaux d'acquisition et de visualisation 16 bits séparés
  - 1 lien 32 bits entre l'unité de contrôle et les processeurs
  - jusqu'à 64 processeurs sur une carte VME double Europe
  - 4 processeurs/ASIC et 4 ASICs/MCM
  - fréquence d'horloge de 25/40 MHz (Militaire/Civile)
  - jusqu'à 50 Gops (32 bits) et 2,5 Gflops (IEEE 32 bits)

Caractéristiques générales de l'architecture



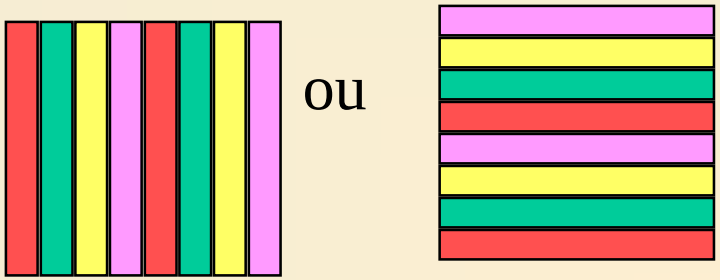
L'organisation des données

- **Comment répartir des données images sur des structures parallèles à mémoire distribuée (Ex: 4 processeurs)?**
  - solution A: chaque processeur possède un quadrant de l'image



    Problème: effets de Bords

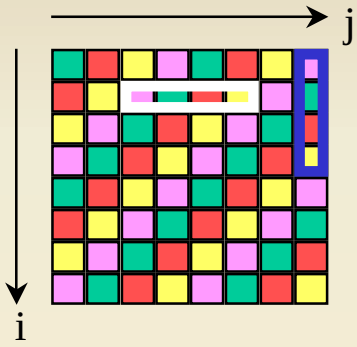
  - solution B



    Problème: mauvais parallélisme

L'organisation des données (suite)

- **Une solution: la répartition hélicoïdale**
  - la notion de voisinage est conservée
  - le parallélisme est possible en ligne comme en colonne



Pr 0	Pr 1	Pr 2	Pr 3
0,0	0,1	0,2	0,3
0,4	0,5	0,6	0,7
1,3	1,0	1,1	1,2
1,7	1,4	1,5	1,6
2,2	2,3	2,0	2,1
2,6	2,7	2,4	2,5
3,1	3,2	3,3	3,0
3,5	3,6	3,7	3,4

La loi de rangement s'exprime de la façon suivante:

$$\mathbf{k = (i + j) \bmod M}$$

i et **j** sont les coordonnées du pixel
M le nombre de processeurs
k le numéro de processeur dans lequel est stocké le pixel de coordonnées **i**,**j**

Les communications

- **4 liens de communications 32 bits par processeur**
  - 2 liens 32 bits d'interconnexions (droit et gauche, distance 1)
  - 2 liens 32 bits d'intercommunication (droit et gauche, distance x)
- **2 liens de communications 16 bits par processeur**
  - réservés pour les entrées sorties
    - permettent la simultanéité acquisition/visualisation
    - fonctionnent sans perturber les traitements
- **1 lien de communication 32 bits entre l'unité de contrôle et les processeurs**
  - permet l'échange de données entre unité de contrôle et processeur

L'unité de contrôle

- **L'unité de contrôle assure trois fonctions principales:**
  - le séquencement des instructions:
    - gestion du compteur ordinal
    - branchements conditionnels et inconditionnels
    - appel de sous-programmes
  - la gestion des variables globales:
    - ces variables peuvent être mises à jour par l'unité de contrôle
    - elles peuvent être distribuées à l'ensemble des processeurs
    - le traitement des variables est assuré par une unité de calcul locale
  - la gestion des interruptions:
    - trois sources d'interruptions:
      - les entrées-sorties
      - le réseau d'intercommunication
      - le monde extérieur

L'unité de contrôle (suite)

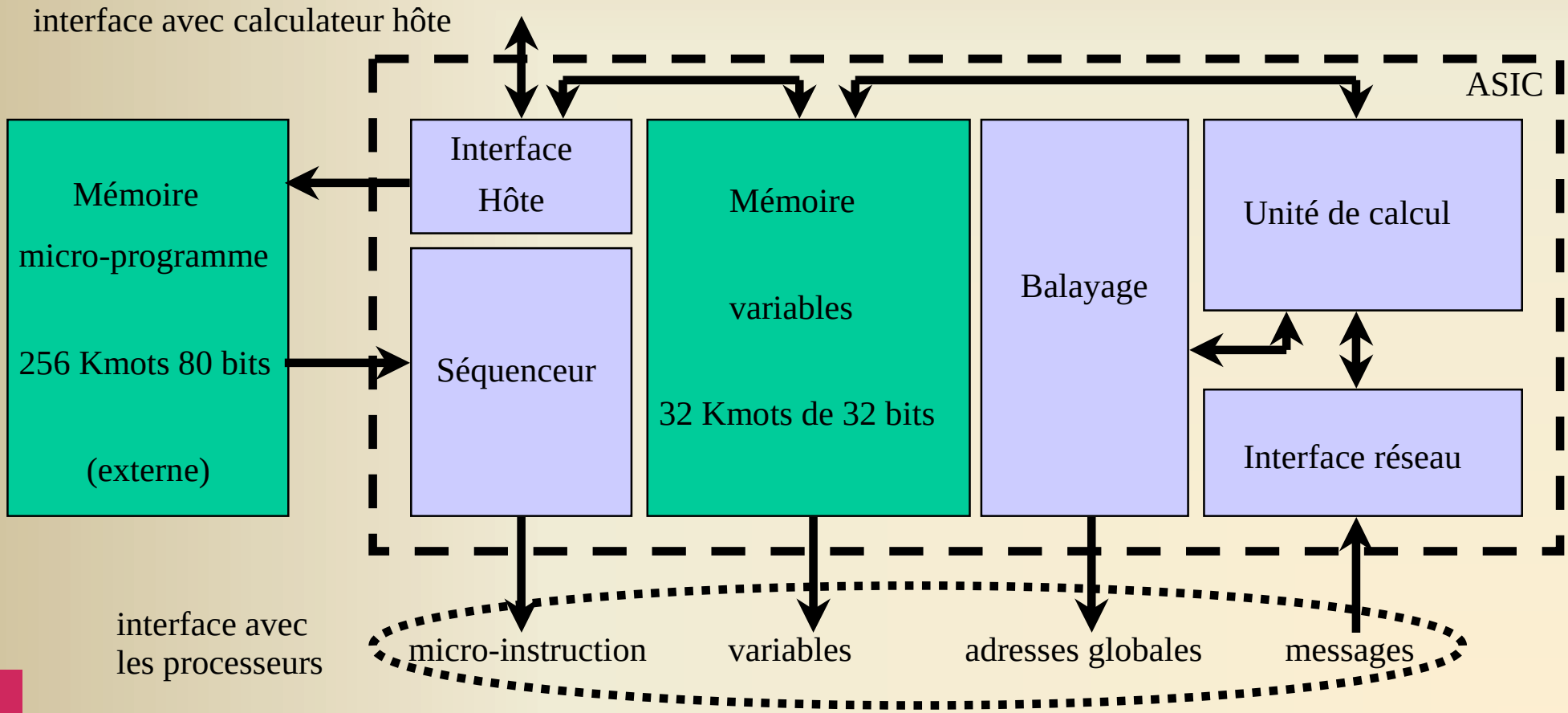
- **L'unité de contrôle intègre également:**
  - une unité de calcul:
    - constituée de 16 registres et d'une unité arithmétique et logique
    - permettant l'initialisation des registres de configuration de l'UC
    - permettant la modification des variables
  - une unité de gestion du temps (timer):
    - permet d'assurer un contrôle temporel sur certain processus
  - une partie de la gestion des adresses des mémoires des processeurs:
    - comprend ce qui est commun à tous les processeurs
    - assure le positionnement du barreau de processeurs dans le plan image
    - de façon général assure le balayage des images (module de balayage)
  - une interface avec un calculateur externe de type micro-processeur

L'unité de contrôle (suite)

- **dispose de plusieurs liens de communications:**
  - un lien 32 bits permettant d'envoyer des données aux processeurs (variables ou constantes)
  - un lien 16 bits bidirectionnel permettant de dialoguer avec un micro-processeur externe (parfois intitulé calculateur hôte)
  - un lien 32 bits interfacé avec le réseau d'intercommunication permettant aux processeurs d'envoyer des données à l'UC:
    - l'UC possède un certain nombre de fifos de réception
    - ces fifos sont distribuées parmi les processeurs à raison d'une fifo par ASIC soit une pour quatre processeurs
    - l'envoi de données (messages) vers les fifos de l'UC se fait uniquement en mode irrégulier

L'unité de contrôle (suite)

- **l'unité de contrôle est organisée de la façon suivante:**

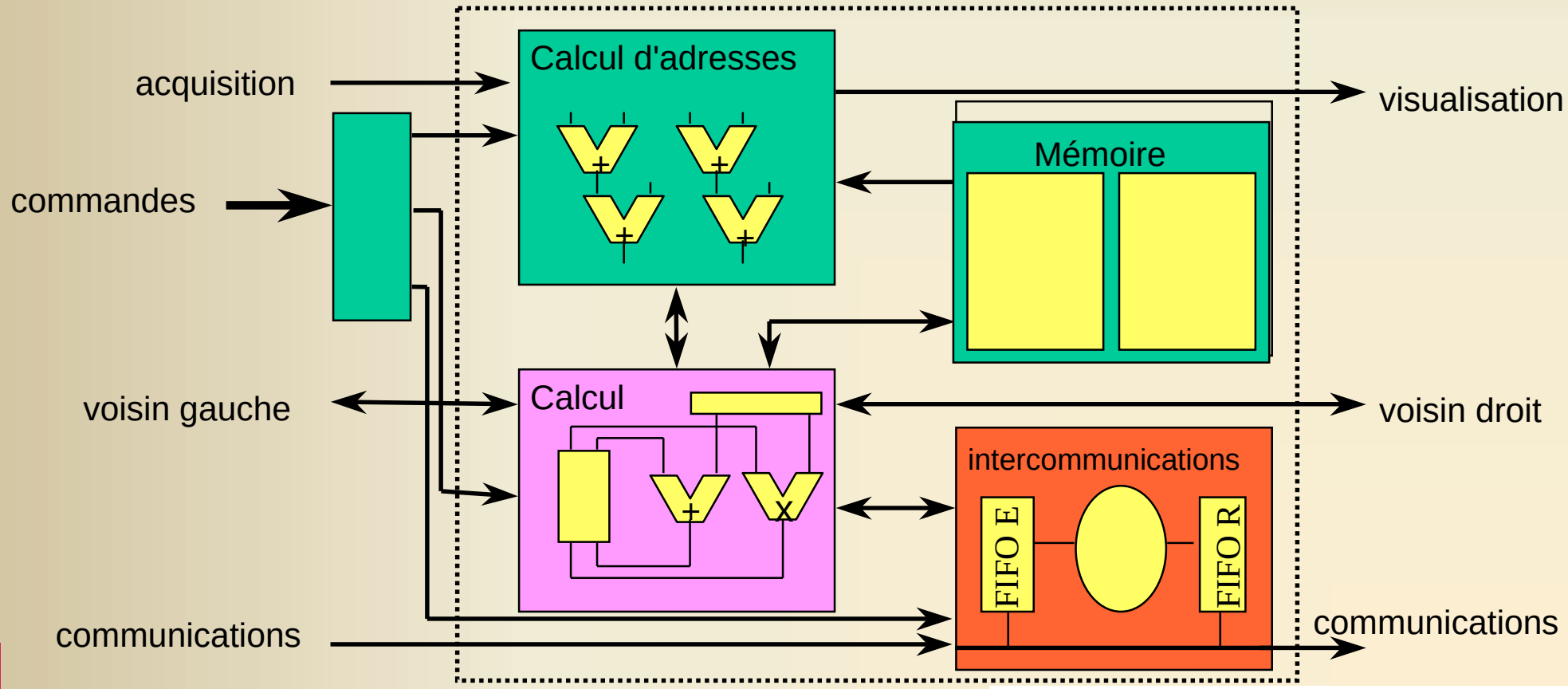


Le processeur

- **Le processeur est constitué de quatre blocs**
  - le bloc de calcul:
    - permet d'effectuer des opérations arithmétiques et logiques sur 32 bits
    - permet d'effectuer des multiplications 16x16 bits sortie sur 32 bits
    - permet d'effectuer du calcul flottant en IEEE764 32 bits
  - un coprocesseur d'adresse:
    - gère le calcul des adresses mémoires
    - autorise quatre modes d'accès à la mémoire
  - la mémoire
  - la cellule réseau composée de:
    - une fifo d'émission
    - une fifo de réception
    - une logique de contrôle

Le processeur (suite)

- **Organisation du processeur**



Le processeur (suite)

- **Organisation d'un ASIC comprenant 4 processeurs**

Adresses globales

Calcul d'adresses

Mémoire

Calcul

ntercommunications

Décodage

Variables

Commandes

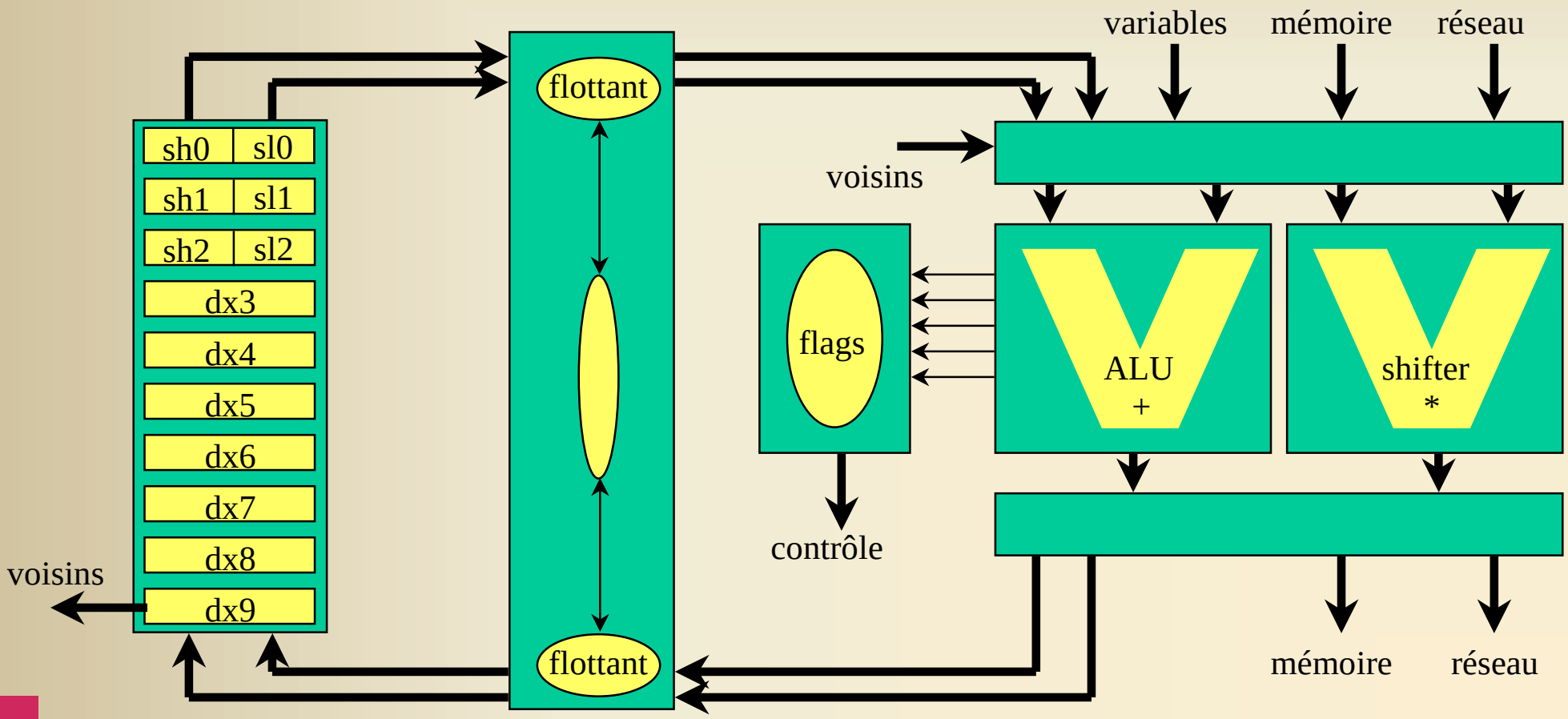
messages vers UC

Le processeur (suite)

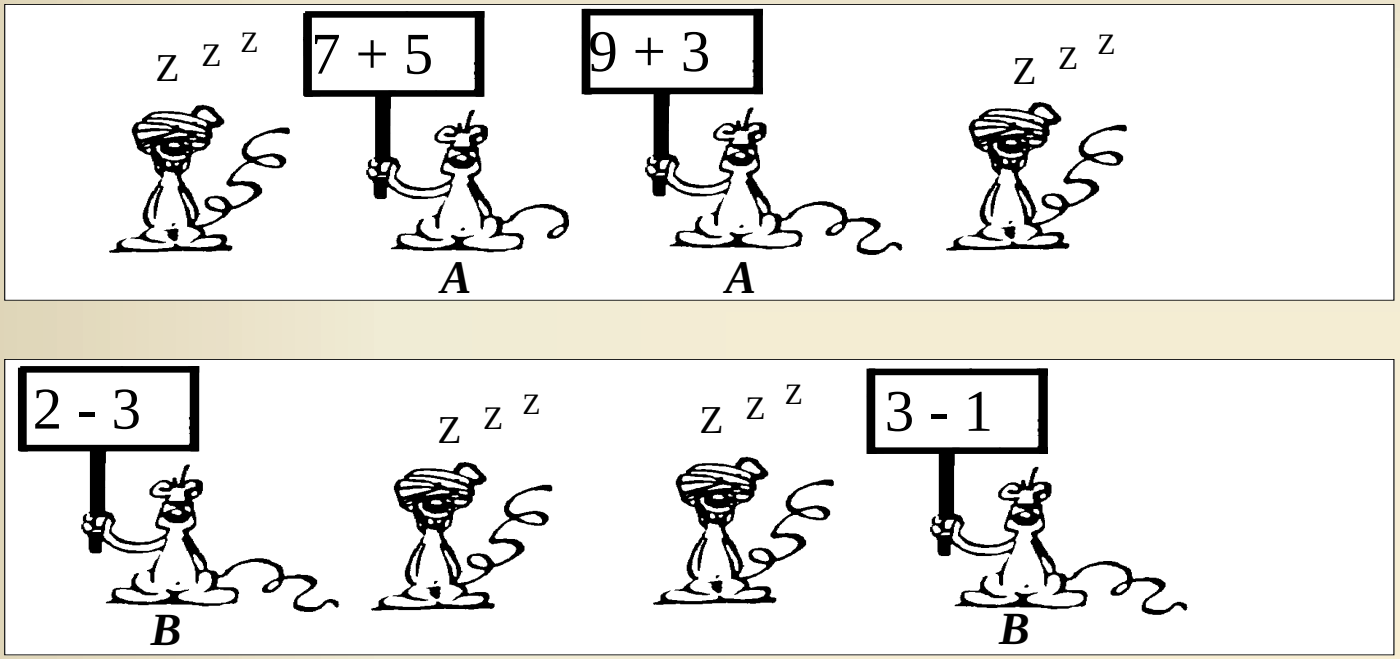
- **Le bloc de calcul comprend:**
  - 1 unité arithmétique et logique 32 bits
  - 1 multiplieur 16x16 sortie 32 signé ou non signé
  - 1 décaleur 32 bits programmable (0 à 31 décalages)
  - 10 registres 32 bits dont 3 sécables en 2 registres 16 bits
- **un cycle de 50/80 ns représente:**
  - 1 accès mémoire + 2 accès registres + 1 lecture variable
  - 1 opération ALU + 1 opération multiplieur/décaleur
  - 2 écritures registres + 1 écriture mémoire
- **le calcul flottant:**
  - émulation hardware/software du flottant 32 bits IEEE

Le processeur (suite)

- **Organisation du bloc de calcul**

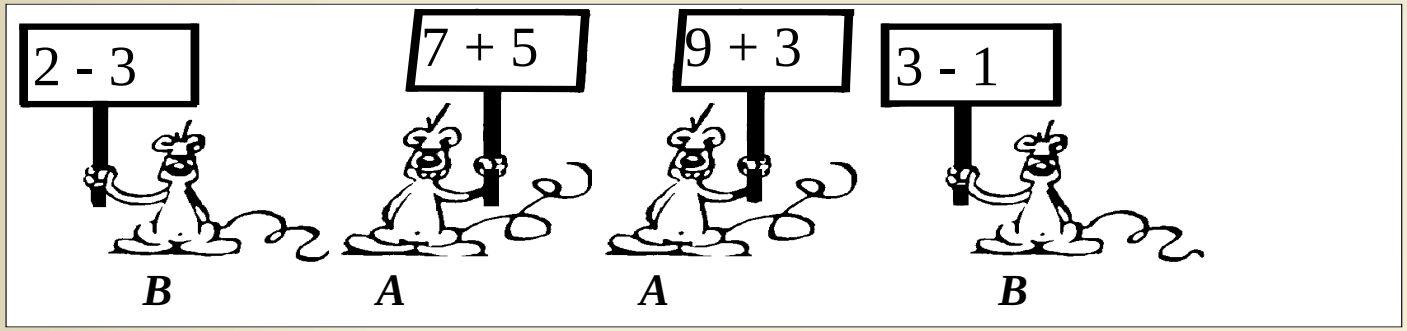


SIMD CLASSIQUE



SIMD classique

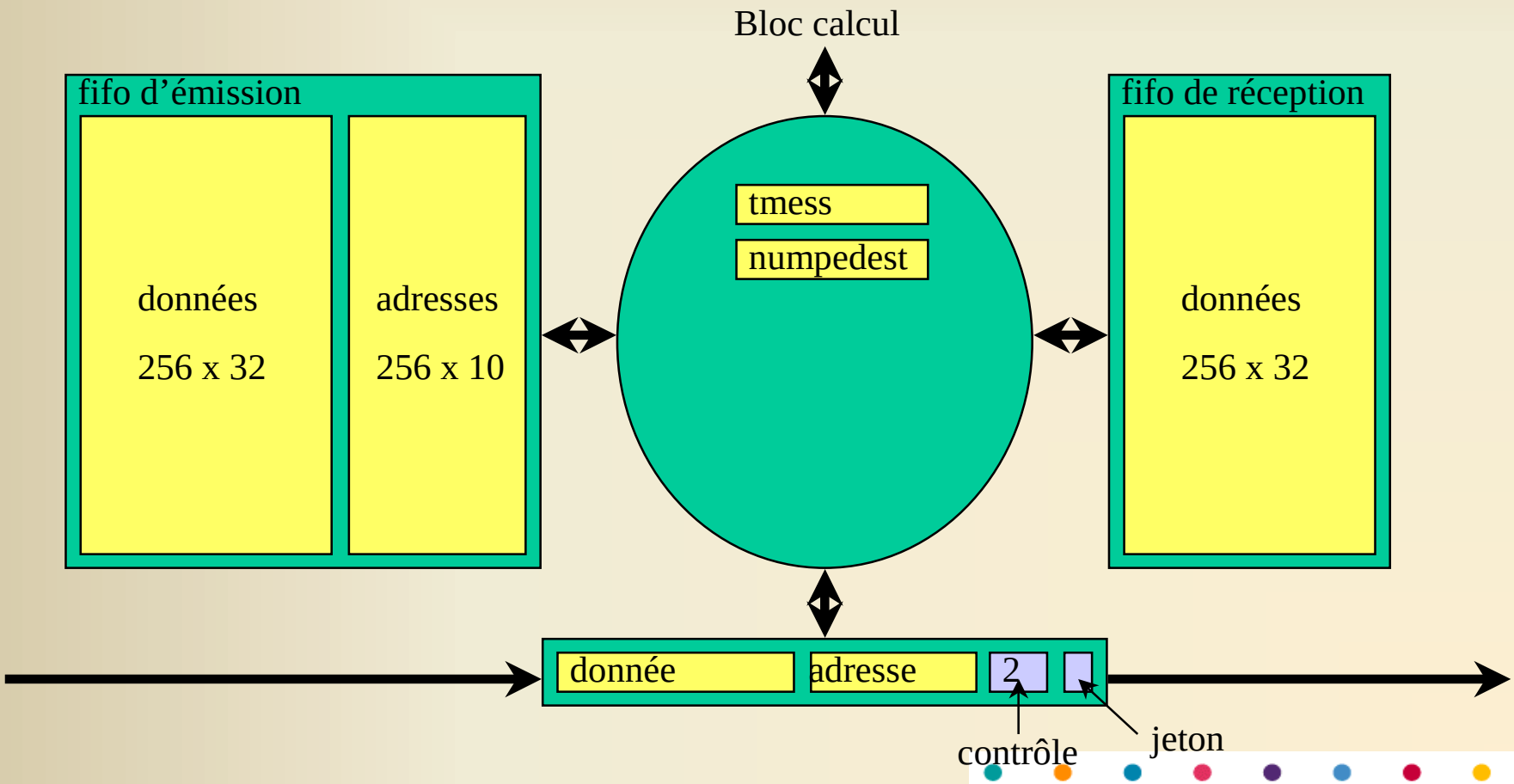
Le DIMD Symphonie



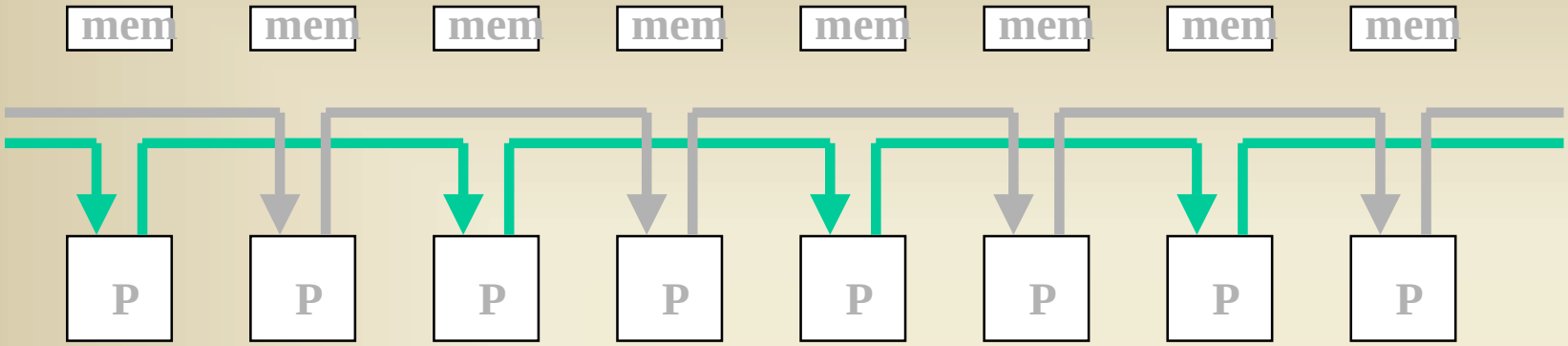
DIMD Symphonie

Le processeur (suite)

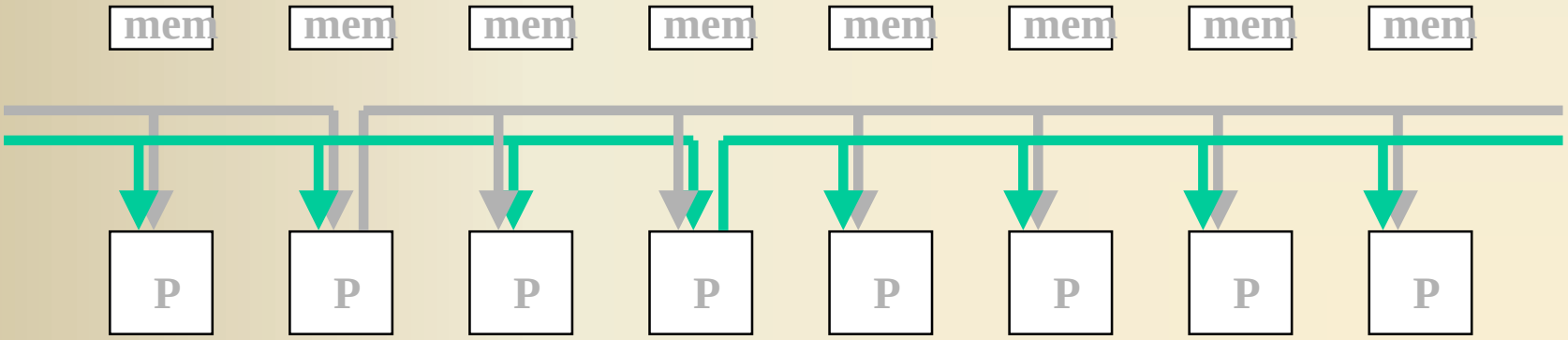
- **l'organisation de la cellule réseau:**



Les différents modes

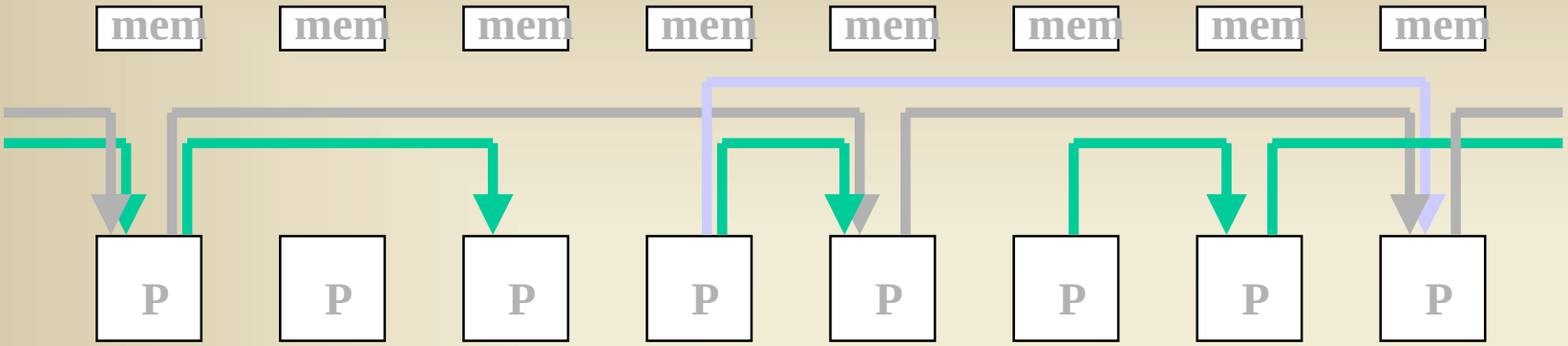


Mode régulier: tous les processeurs envoient à la même distance (ex: distance 2)

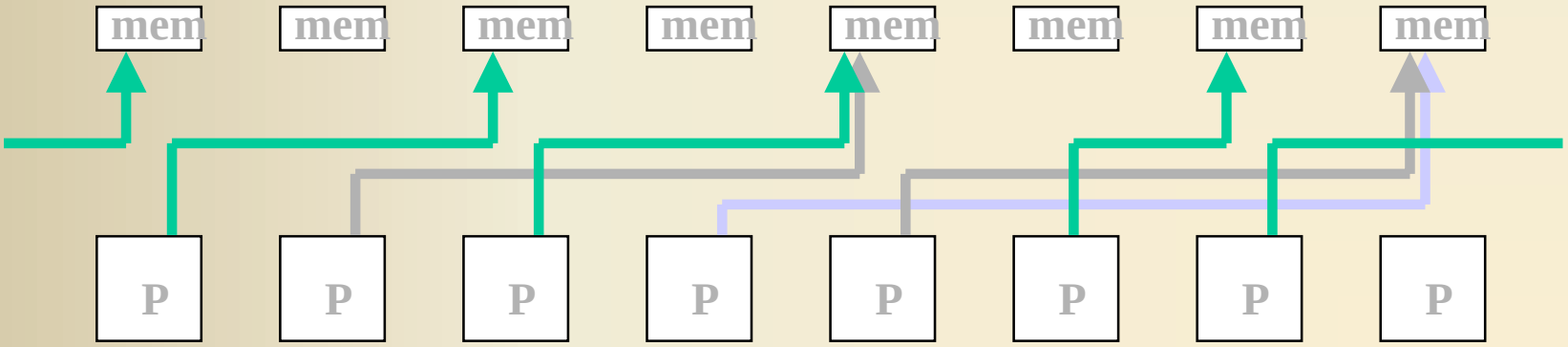


Mode globalisation: chaque processeur peut envoyer une donnée à tous les autres

Les différents modes (suite)



Mode irrégulier: chaque processeur envoie un message à un processeur quelconque



Mode mémoire: les processeurs écrivent dans la mémoire des autres processeurs

Les langages

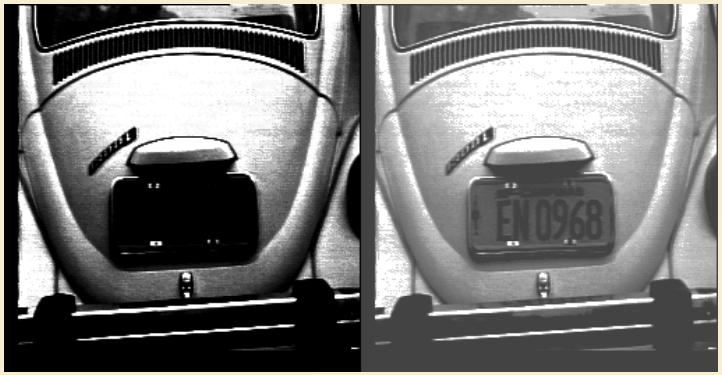
- **'SPL'**
  - Langage parallèle spécifique
  - Syntaxe 'C-like'
- **'C'**
  - compilateur GNU CC
  - bibliothèques de fonctions
- **'T++'**
  - parallèlisme de données
  - basé sur C++

Performances

- **Traitement 32 bits (1024 PEs) :**
  - 50 Gops.
  - 2.5 Gflops.
- **Communications 32 bits :**
  - 100 MO/s entre deux processeurs quelconques.
  - 100 GO/s pour 1024 processeurs.
- **Entrées/sorties 16 bits:**
  - 50 MO/s en entrée.
  - 50 MO/s en sortie.

Performances

- **Premiers résultats (32 Processeurs, images 256x256):**
  - convolution 5x5 séparable: **1,5 ms**.
  - transformée de Hough: **0,15 ms** par direction.
  - étiquetage: **9 ms** (Version non optimisée).
  - égalisation d'histogramme: **1 ms**.



- **60 fois plus performant que le DECAlpha 150 Mhz**

Objectifs du LCEI :

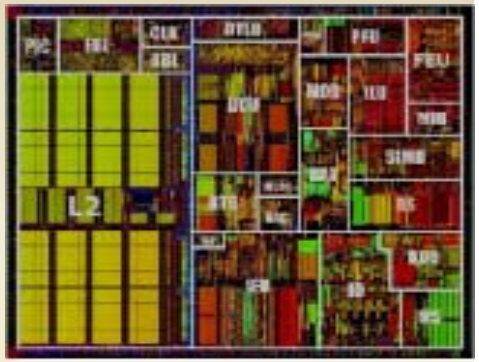
- **Développer des architectures basées sur des modèles de calcul innovants (parallélisme, reconfigurable, …) en phase avec les futures évolutions de la technologie**
- **Fédérer des actions de recherche sur les outils assurant efficacement le portages des application sur les architectures avancées et participation à ces portages**
- **Maîtriser les évolutions algorithmiques des futurs applications (dont l'image et la vidéo) afin de proposer les solutions de calcul embarqué les mieux adaptées**
- **Développer des algorithmes très avancés en exploitation d'image :**
  - Contrôle et vidéo-surveillance
  - Reconstruction 3D
  - Indexation image et vidéo

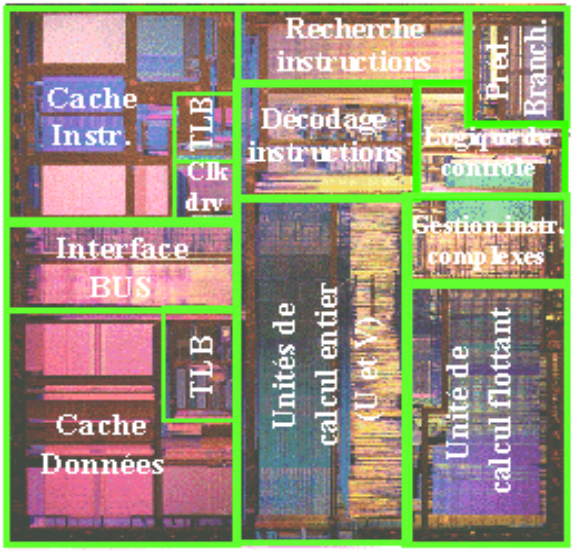
Architectures avancées

- **Développer de nouvelles solutions de calcul en phase avec les évolutions de la technologie et des besoins des utilisateurs :**
  - Verrous : proposer des solutions de calcul innovantes, performantes et facilement accessibles (outils).
  - Besoins :processeurs embarqués de vision, processeurs de cryptographie, calculateurs dédiés application outil de co-design.
  - Projets de recherche : SYMETRIE, EPICURE, ICAM, CryptoSOC, SAVE-U

Architecture du Pentium 1993

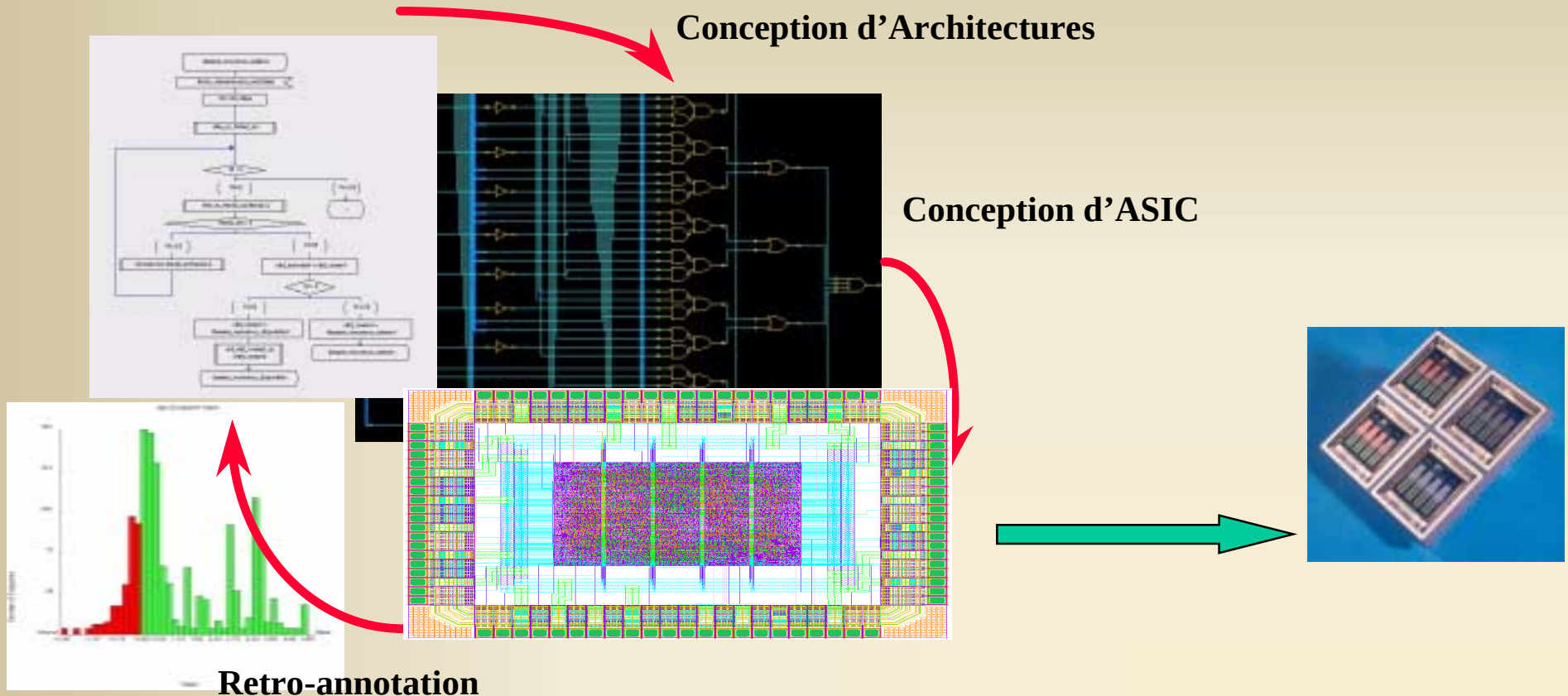
Décodage
Tampon de préchargement
256
Cache instructions
64
ROM microcode
Unité de contrôle
Tampon d'@ branchements
32
Contrôleur de bus
Adresses
32
Contrôle
Données
64
Registres entiers
Pipe U
Pipe V
Registres flottants
FPU
32
32
Cache données





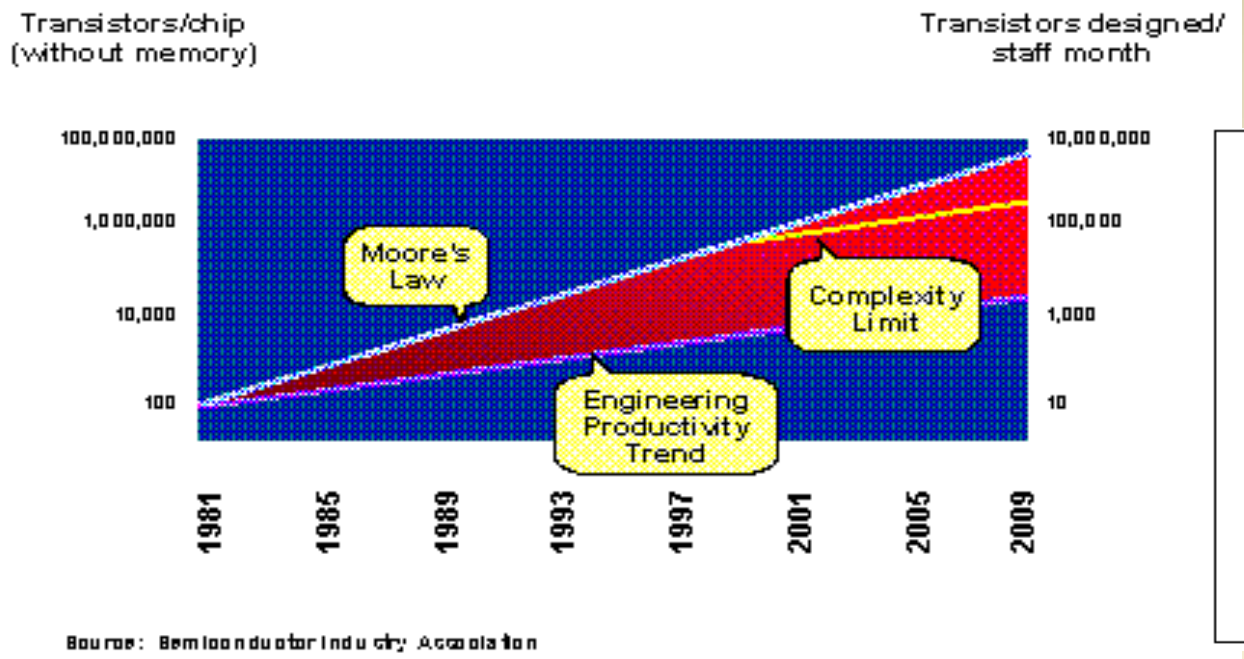
- Architecture superscalaire
- 8kOctets de cache adresses
- 8kOctets de cache données
- 3,1 Millions de transistors
- Technologie BiCMOS
- 0,8 µm, 3 Alu, ~150 mm² (93)
- Horloge 200 MHz (96)

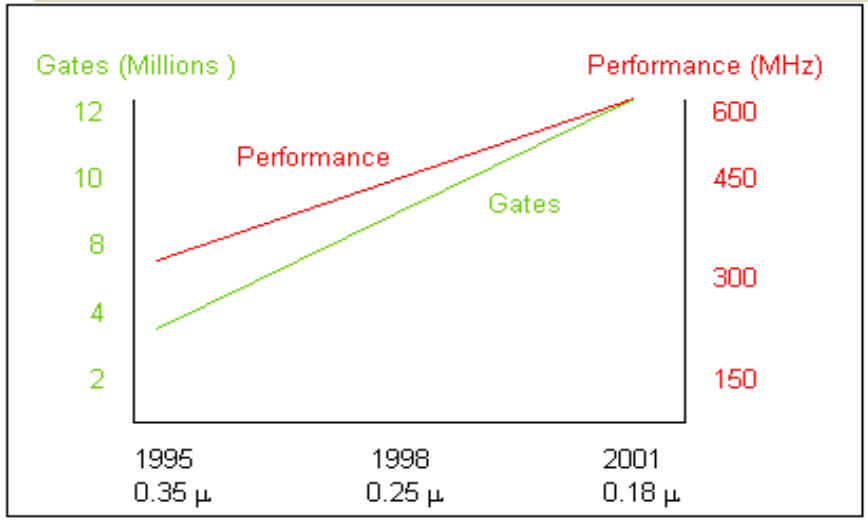
Exemple de réalisation



Les temps de conception deviennent très très longs

Le rôle des outils CAO





Les outils de CAO doivent permettre de gérer la complexité.

Ils doivent aider le concepteur à :

-Valider les concepts

-Vérifier et/ou prouver le bon fonctionnement du circuit

-Concevoir le schéma électronique du circuit

Calculateurs embarqués : « road map »

▪LE CONSTAT (Ambiant Intelligence)

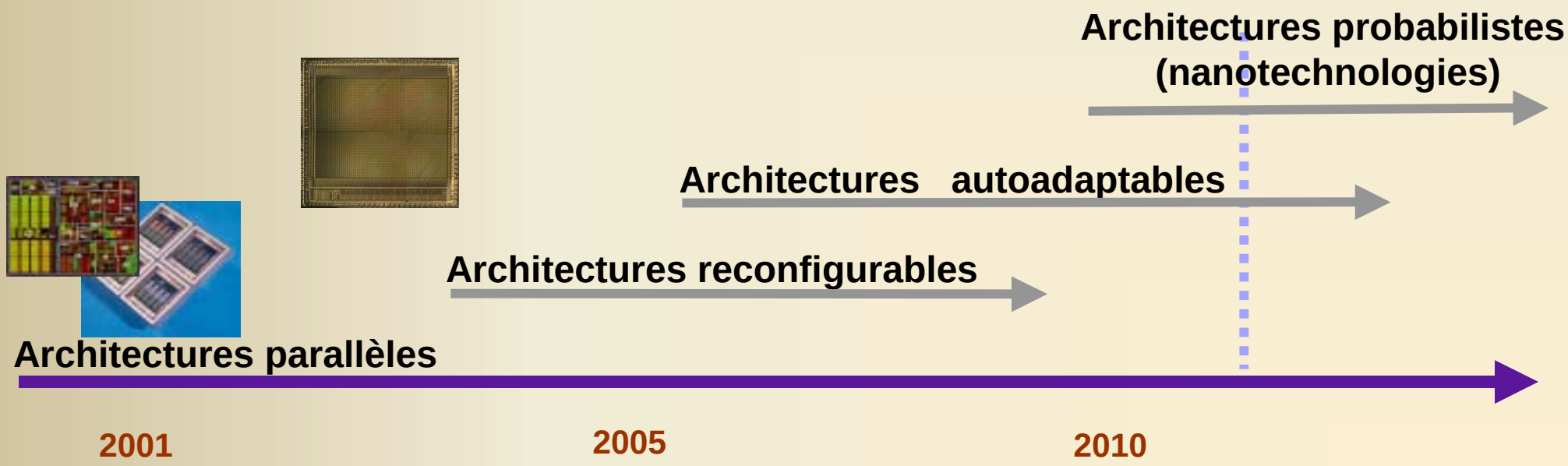
LES BESOINS EN PUISSANCE EMBARQUEE N'ATTENDENT PLUS MOORE

- ***La complexité croit***
- ***L'autonomie des systèmes croît***
- ***Les besoins en performance efficace croissent fortement***

▪LE BESOIN

NECESSITE DE MIEUX EXPLOITER LA « ROAD MAP »SILICIUM

➔Conception de nouvelles architectures matérielles et logicielles (fort taux de parallélisme, capacité de reconfiguration)

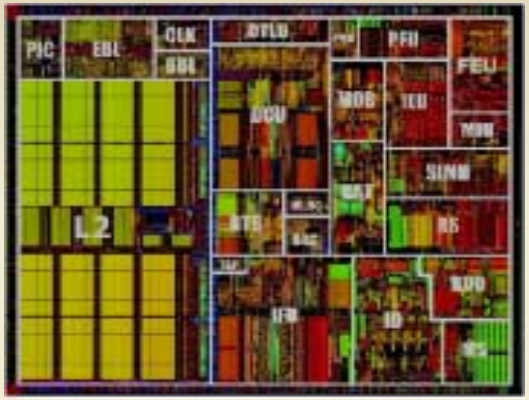


Processeurs Reconfigurables : enjeux

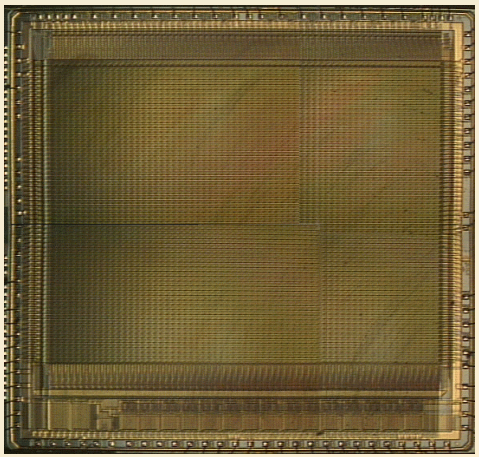
- **- L'application doit s'adapter aux contraintes du** processeur classique
  - Instructions déjà définies, timing, interfaces figées
- **- Le processeur reconfigurable s'adapte aux besoins de l'application**
  - Création de nouvelles instructions
  - Optimisation de l'architecture et des interfaces
- **- Accroissement des performances**
  - Traitement des grands volumes de données (matrices, images)
  - Cadences de traitement élevées (temps-réel, vidéo)
- **- Raccourcir le cycle de conception**
- **- Favorise la pérennité des machines**
  - Pour s'adapter à de nouveaux protocoles

Enjeu technologique

- **Les architectures de logique reconfigurable sont basées sur l'utilisation intensive de** mémoire.
- **La structure de ces composants est particulièrement** régulière.
- **La régularité de l'architecture est bien adaptée aux technologies** microélectroniques futures **(< 100nm)**



Puce du Pentium 4



Puce typique d'un fpga

Approche logicielle et matérielle

- **Fonction à réaliser**
  - Logiciel : 7 cycles (40 ns.)
  - Matériel : 1 cycle (30 ns.)

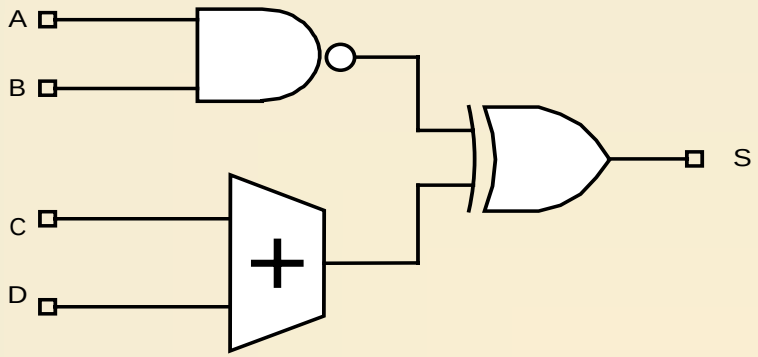
- **Avantage plus grand encore si fonction itérative**

$$\left(\overline{A \bullet B}\right) \oplus (C + D)$$

Expression de la fonction à réaliser

```
LP :   MOV  AL, A
       AND  AL, B
       NEG  AL
       MOV  AH, C
       ADD  AH, D
       XOR  AL ,AH
       MOV  S, AL
```

Implémentation logicielle



Implémentation matérielle

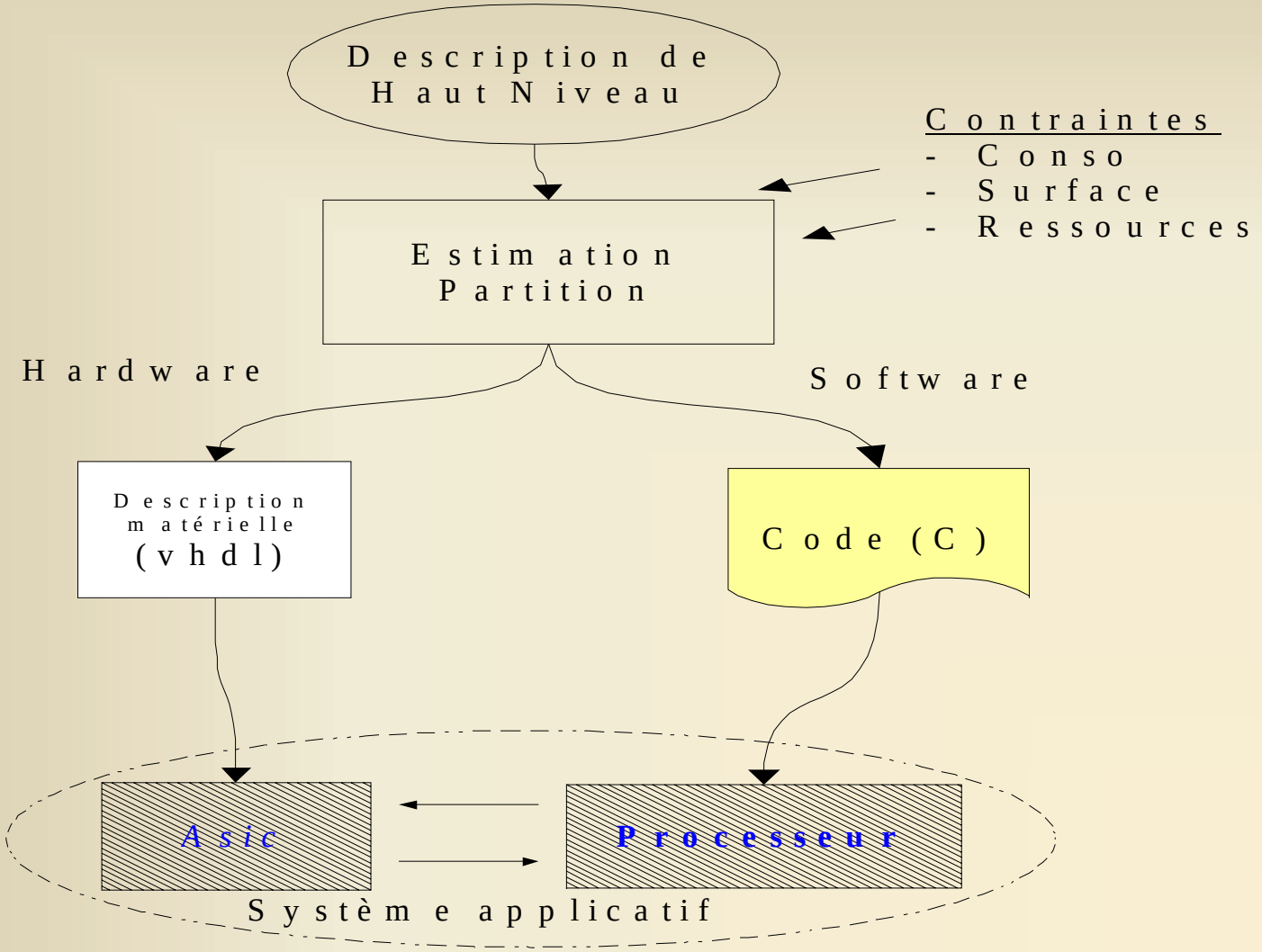
Outils logiciels

- **Pour une application donnée, il faut assurer:**
  - le partitionning entre les fonctions programmées et les fonctions reconfigurées
  - l'exploitation automatique du parallélisme

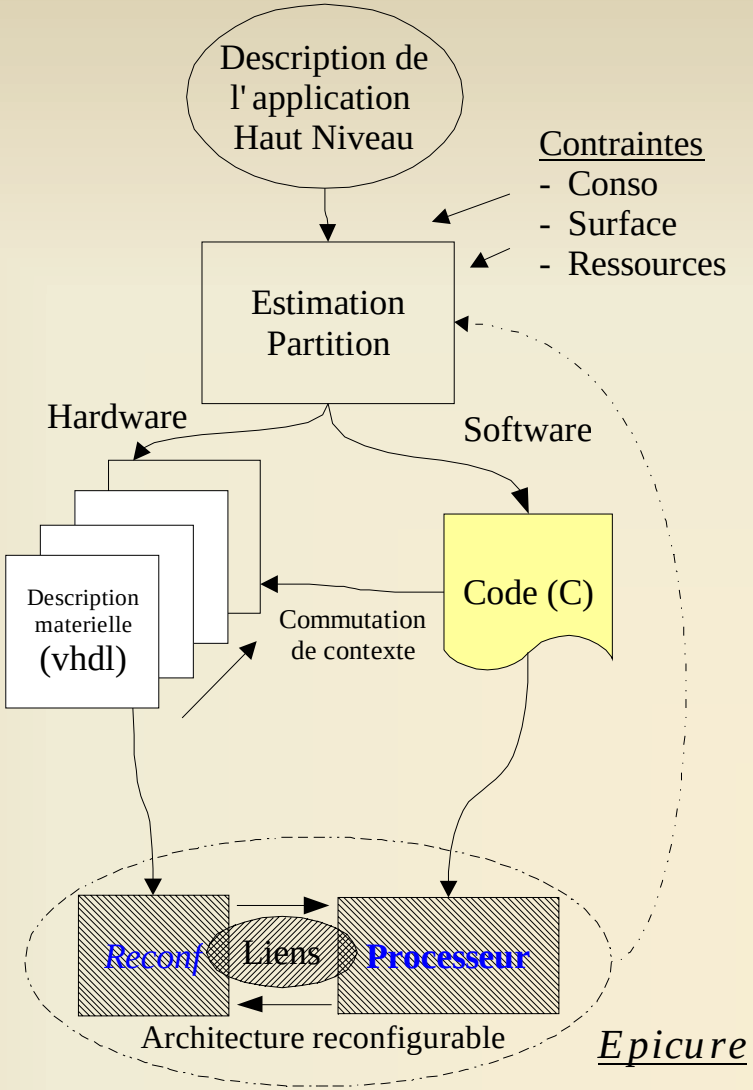
  → CO DESIGN

- **Pour un circuit donné, il faut assurer :**
  - sa re-configuration « en vol »
  - Son utilisation pour de nombreuses applications

Co-Design « Classique »



EPICURE : Co-Design pour Le Reconfigurable

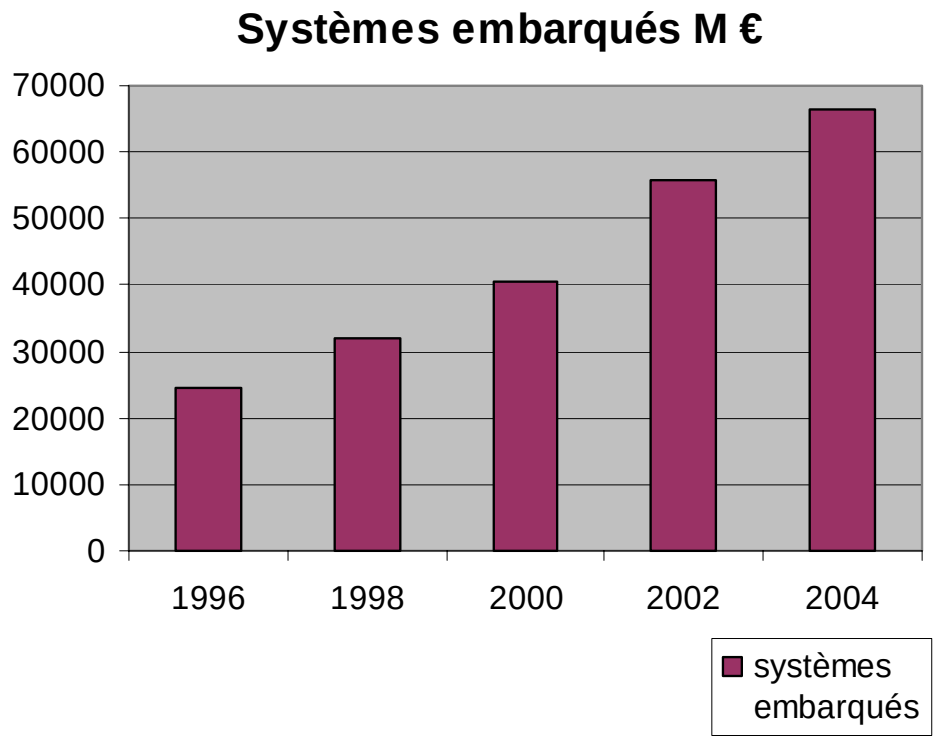


Marché des systèmes embarqués

Un marché important et en pleine croissance :
40 milliards d'euros, croissance > 20 % par an

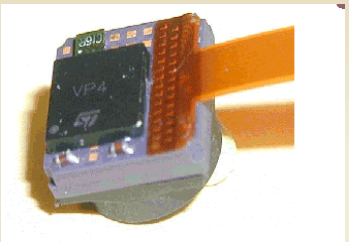
SECTEURS PORTEURS :

- ✓ **Transport**
- ✓ **Multi-média**
- ✓ **Monétique, transitique, bancaire**



Road map caméra intelligente

Enjeu : développer des capteurs intégrant rétine + traitement massif de l'information



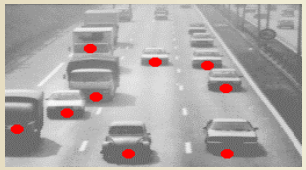
CMOS visible + I/R + reconf

CMOS + reconfigurable

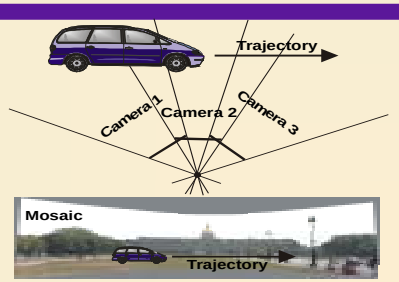
Autonomie et Intelligence

CCD ➔ CMOS

2001



2005



Cibles :

Vidéosurveillance
Contrôle

Capture du geste

Aide à la conduite

Anticollision

Fin de l’exposé